

UNIVERSIDADE ESTADUAL DE CAMPINAS
FACULDADE DE ENGENHARIA ELÉTRICA E DE COMPUTAÇÃO
DEPARTAMENTO DE SEMICONDUTORES, INSTRUMENTAÇÃO E FOTÔNICA.

SENSOR DE UMIDADE MICROELETRÔNICO BASEADO EM
CAPACITOR COM DIELÉTRICO HIGROSCÓPICO

Paulo Zambrozi Junior
Orientador: Prof. Dr. Fabiano Fruett

Tese de Mestrado

Campinas – SP Brasil

2005

UNIVERSIDADE ESTADUAL DE CAMPINAS
FACULDADE DE ENGENHARIA ELÉTRICA E DE COMPUTAÇÃO
DEPARTAMENTO DE SEMICONDUTORES, INSTRUMENTAÇÃO E FOTÔNICA.

**SENSOR DE UMIDADE MICROELETRÔNICO BASEADO EM CAPACITOR
COM DIELÉTRICO HIGROSCÓPICO**

Paulo Zambrozi Junior
Orientador: Prof. Dr. Fabiano Fruett

Dissertação de Mestrado apresentada à
Faculdade de Engenharia Elétrica como
parte dos requisitos exigidos para a
obtenção do título de mestre em
Engenharia Elétrica

Área de Concentração: Eletrônica,
Microeletrônica e Optoeletrônica

Campinas – SP Brasil

2005

FICHA CATALOGRÁFICA ELABORADA PELA
BIBLIOTECA DA ÁREA DE ENGENHARIA - BAE - UNICAMP

Z14s Zambrozi Junior, Paulo
Sensor de umidade microeletrônico baseado e
capacitor com dielétrico higroscópico / Paulo Zambrozi
Junior. --Campinas, SP: [s.n.], 2005.

Orientador: Fabiano Fruett
Dissertação (Mestrado) - Universidade Estadual de
Campinas, Faculdade de Engenharia Elétrica e de
Computação.

1. Detectores. 2. Higrometria. 3. Cristais de silício –
Propriedades elétricas. 4. Amplificadores operacionais.
I. Fruett, Fabiano. II. Universidade Estadual de
Campinas. Faculdade de Engenharia Elétrica e de
Computação. III. Título.

UNIVERSIDADE ESTADUAL DE CAMPINAS
FACULDADE DE ENGENHARIA ELÉTRICA E DE COMPUTAÇÃO
DEPARTAMENTO DE SEMICONDUTORES, INSTRUMENTAÇÃO E FOTÔNICA.

**SENSOR DE UMIDADE MICROELETRÔNICO BASEADO EM CAPACITOR
COM DIELÉTRICO HIGROSCÓPICO**

Paulo Zambrozi Junior

Dissertação de Mestrado defendida e aprovada em 26 de agosto de 2005
pela banca examinadora constituída pelos professores:

Prof. Dr. Ioshiaki Dói
Faculdade de Engenharia Elétrica e de Computação – UNICAMP

Dr. Saulo Finco
Centro de Pesquisa Ricardo Ascher – CenPRA

Campinas – SP Brasil

2005

Dedicatória:

Dedico este trabalho à minha querida mãe Aparecida Roeda e à minha amada esposa Flávia.

Agradecimentos:

Registro um agradecimento especial ao meu orientador Prof. Dr. Fabiano Fruett pela competência, pelo apoio e pela paciência além do que lhe era exigido.

Este trabalho não poderia ter terminado sem a ajuda de diversas pessoas e instituições aos quais presto a minha homenagem:

- Ao Prof. Dr. Ioshiaki Dói (FEEC – UNICAMP) e o Prof. Dr. José A. Diniz (FEEC – UNICAMP) pela ajuda prestada;
- Ao M. Sc. Ricardo Cotrin pela amizade e proveitosas discussões acerca do trabalho desenvolvido;
- A todo o corpo de funcionários do Centro de Componentes Semicondutores, pela estrutura auxiliar, sem o qual este trabalho não seria possível;
- Ao CCS – UNICAMP pela cessão da infra-estrutura;
- Ao Laboratório Nacional de Luz Síncrotron – LNLS, pelas medidas de Microscopia de Força Atômica;
- Ao Centro de Pesquisa Ricardo Ascher – CenPRA, pela colagem e conexão do sensor, em especial ao Sr. Marcio Biasoli e Sra. Marinalva Rocha;
- Ao Prof. Dr. Carlos A. dos Reis F. (FEEC – UNICAMP) e seus orientados pelas medidas realizadas na câmara climática.
- A agência CNPq, pelo apoio financeiro cedido ao projeto.

*“Senhor, concede-me a serenidade necessária para aceitar as coisas
que eu não posso mudar, coragem para mudar as que eu posso e
sabedoria para distinguir umas das outras.”*

(Autor desconhecido)

ÍNDICE

LISTA DE FIGURAS	<i>iv</i>
LISTA DE TABELAS	<i>vii</i>
LISTA DE SÍMBOLOS	<i>viii</i>
RESUMO	<i>ix</i>
ABSTRACT	<i>ix</i>
I – INTRODUÇÃO	1
I.1 – Justificativa	2
I.2 – Objetivo	2
I.3 – Apresentação	3
CAP. 1 – UMIDADE RELATIVA DO AR	5
1.1 – Introdução	5
1.2 – Higrometria	5
1.3 – Aspectos psicrométricos	5
1.4 – Umidade relativa	7
1.5 – Ponto de orvalho	8
CAP. 2 – SENSORES DE UMIDADE	9
2.1 – Sensor de umidade condutivo	10
2.2 – Sensor de umidade capacitivo	11
2.3 – Sensor de umidade óptico	13
2.4 – Sensor de umidade acústico	14
CAP. 3 – SILÍCIO POLICRISTALINO COMO FILME HIGRSCÓPICO	17
3.1 – Introdução	17
3.2 – Formação da microestrutura	19
3.3 – Obtenção do filme de silício policristalino	20
3.4 – Dependência dos parâmetros de deposição no CVD	21
3.4.1. Temperatura	22
3.4.2. Pressão	22
3.5 – Deposição do filme fino de silício policristalino via LPCVD	22
CAP. 4 – SENSOR DE UMIDADE CAPACITIVO	30
4.1 – Introdução	30

4.2 – Capacitor como sensor de umidade	31
4.3 – Fabricação do sensor	34
4.3.1 – Caracterização da lâmina	34
4.3.2 – Limpeza	34
4.3.3 – Oxidação úmida	35
4.3.4 – Fotogravação do anel de guarda	35
4.3.5 – Corrosão do óxido e remoção total do fotoresiste	37
4.3.6 – Limpeza	38
4.3.7 – Implantação iônica n^+	38
4.3.8 – Limpeza	38
4.3.9 – Fotogravação do eletrodo inferior	39
4.3.10 – Corrosão do óxido e remoção do fotoresiste	40
4.3.11 – Limpeza	40
4.3.12. Implantação iônica n	41
4.3.13 – Limpeza	41
4.3.14 – Recozimento e oxidação seca	41
4.3.15 – Deposição do silício policristalino	42
4.3.16 – Fotogravação do capacitor	43
4.3.17 – Corrosão do filme depositado, do óxido e remoção do fotoresiste	44
4.3.18 – Limpeza	45
4.3.19 – Fotogravação de contatos	45
4.3.20 – Evaporação de alumínio	47
4.3.21 – Lift-off	47
4.3.22 – Sinterização de contatos	48
4.4. Cruz grega	48
4.5. Sensor de umidade	49
CAP. 5 – CIRCUITO CONDICIONADOR DE SINAIS	51
5.1 – Introdução	51
5.2 – Circuitos conversores	51
5.2.1 – Modulação por Largura de Pulso – PWM	51
5.2.2 – Conversor de Inclinação Dupla	53
5.2.3 – Conversor a Capacitor Chaveado	56

5.2.4 – Conversor Oscilador	58
5.3 – Conclusão	59
CAP. 6 – AMPLIFICADOR OPERACIONAL	61
6.1 – Introdução	61
6.2 – Amplificador operacional	62
6.2.1 – Características do projeto nMOS	62
6.2.2 – Par diferencial de entrada	64
6.2.3 – Conversor de entra diferencial em saída única	67
6.2.4 – Estágio cascode	68
6.2.5 – Estágio de saída	69
6.2.6 – Amplificador completo	70
6.2.7 – Análise de estabilidade	72
6.2.8 – Circuito integrado	76
6.3 – Capacitor chaveado integrado	76
6.3.1 – Chaves analógicas nMOS	78
6.3.2 – Circuito integrado	79
6.4 – Projeto PMU	80
CAP. 7 – RESULTADOS EXPERIMENTAIS	82
7.1 – Introdução	82
7.2 – Circuito Discreto	82
7.3 – Procedimentos Experimentais	86
7.4 – Discussões	87
7.4.1 – Sensibilidade	87
7.4.2 – Histerese	88
7.4.3 – Resposta térmica	89
CAP. 8 – CONCLUSÃO	91
REFERÊNCIAS BIBLIOGRÁFICAS	93
APÊNDICE A – Algoritmo de simulação do SUPREM	97
APÊNDICE B – Parâmetros de simulação SPICE	100
APÊNDICE C – Regras de projeto CCS-nMOS	101

LISTA DE FIGURAS

Figura 1.1:	Gráfico Psicrométrico	7
Figura 2.1:	Sensor de Umidade Condutivo	10
Figura 2.2:	Sensor de Umidade Capacitivo	12
Figura 2.3:	Sensor de Umidade Óptico	13
Figura 2.4:	Sensor de Umidade Acústico	15
Figura 3.1:	Taxa de Reação (R) em função do inverso da temperatura (T)	21
Figura 3.2:	Micrografia AFM do SiO ₂ crescido termicamente	23
Figura 3.3:	Taxa de Reação (R) em função do inverso da temperatura (T) para o reator LPCVD vertical	
Figura 3.4:	Micrografia AFM do Si-poli depositado a 800 °C com 5 torr de pressão	24
Figura 3.5:	Micrografia AFM do Si-poli depositado a 810°C com 5 torr de pressão	
Figura 3.6:	Micrografia AFM do Si-poli depositado a 820 °C com 5 torr de pressão	25
Figura 3.7:	Corte longitudinal para cada temperatura de deposição	26
Figura 3.8:	Micrografia AFM do Si-poli depositado a 810 °C com 5 torr de pressão	27
Figura 3.9:	Micrografia AFM do Si-poli depositado a 810 °C com 2 torr de pressão	
Figura 3.10:	Micrografia AFM do Si-poli depositado a 810 °C com 1 torr de pressão	28
Figura 3.11:	Corte longitudinal para 810°C e diferentes pressões de deposição	29
Figura 4.1:	Capacitor simples (a) e com uso de ‘guardas’ (b)	33
Figura 4.2:	Representação da lâmina de Si em corte lateral	34
Figura 4.3:	Representação da lâmina de Si em corte lateral com SiO ₂ crescido	35
Figura 4.4:	Representação da lâmina de Si em corte lateral com fotoresiste aplicado	
Figura 4.5:	Máscara referente ao anel de guarda	36
Figura 4.6:	Representação da lâmina de Si em corte lateral com a despolimerização do resiste pela exposição à luz ultravioleta para a transferência de padrão da máscara para o SiO ₂	
Figura 4.7:	Representação da lâmina de Si em corte lateral com SiO ₂ removido nas áreas sem proteção do resiste	37
Figura 4.8:	Representação da lâmina de Si em corte lateral sem a camada protetora de fotoresiste sobre o SiO ₂ e as áreas expostas do substrato	
Figura 4.9:	Representação da lâmina de Si em corte lateral com SiO ₂ protegendo a área que foi implantada fósforo para a formação do anel de guarda	38
Figura 4.10:	Máscara referente ao eletrodo inferior	39
Figura 4.11:	Representação da lâmina de Si em corte lateral com a despolimerização do resiste pela exposição à luz ultravioleta para a transferência de padrão da máscara para o SiO ₂	
Figura 4.12:	Representação da lâmina de Si em corte lateral com SiO ₂ removido nas áreas sem proteção do resiste	40

Figura 4.13:	Representação da lâmina de Si em corte lateral sem a camada protetora de fotoresiste sobre o SiO_2 e as áreas expostas do substrato	40
Figura 4.14:	Representação da lâmina de Si em corte lateral com SiO_2 protegendo a área que foi implantada fósforo para a formação do eletrodo inferior	41
Figura 4.15:	Representação da lâmina de Si em corte lateral com SiO_2 fino crescido sobre a área implantada	42
Figura 4.16:	Representação da lâmina de Si em corte lateral com Si-poli depositado sobre a lâmina	
Figura 4.17:	Máscara referente a área do capacitor	43
Figura 4.18:	Representação da lâmina de Si em corte lateral com a despolimerização do resiste pela exposição à luz ultravioleta para a transferência de padrão da máscara para a área do capacitor	
Figura 4.19:	Representação da lâmina de Si em corte lateral com SiO_2 e o Si-poli removido nas áreas sem proteção do resiste	44
Figura 4.20:	Representação da lâmina de Si em corte lateral sem a camada protetora de fotoresiste sobre o SiO_2 e o Si-poli	
Figura 4.21:	Máscara referente a formação de contatos	45
Figura 4.22:	Disposição do contato superior	
Figura 4.23:	Representação da lâmina de Si em corte lateral com a despolimerização do resiste pela exposição à luz ultravioleta para a transferência de padrão da máscara para a formação de contatos	46
Figura 4.24:	Representação da lâmina de Si em corte lateral com a retirada do resiste polimerizado	
Figura 4.25:	Representação da lâmina de Si em corte lateral com o alumínio evaporado sobre a lâmina	
Figura 4.26:	Representação da lâmina de Si em corte lateral com o alumínio retirado sobre o fotoresiste e a representação final do sensor de umidade capacitivo	47
Figura 4.27:	Gruz Grega	48
Figura 4.28:	Microfotografia do sensor de umidade com eletrodo interdigitado de $25\mu\text{m}$	
Figura 4.29:	Microfotografia do sensor de umidade com eletrodo interdigitado de $50\mu\text{m}$	49
Figura 4.30:	Microfotografia do sensor de umidade com eletrodo interdigitado de $25\mu\text{m}$	
Figura 4.31:	Microfotografia do sensor de umidade com eletrodo interdigitado deformado	50
Figura 5.1:	Diagrama do circuito PWM	52
Figura 5.2:	Diagrama de tempo do circuito PWM	53
Figura 5.3:	Diagrama do circuito de Inclinação Dupla	
Figura 5.4:	Diagrama de tempo do circuito de Inclinação Dupla	54
Figura 5.5:	Diagrama do circuito Capacitor Chaveado	56
Figura 5.6:	Diagrama de tempo do circuito Capacitor Chaveado	57
Figura 5.7:	Diagrama do circuito Oscilador	58
Figura 5.8:	Diagrama de tempo do circuito Oscilador	59
Figura 6.1:	nMOS em estágio inversor com carga ativa	63
Figura 6.2:	Par diferencial de entrada nMOS	64
Figura 6.3:	Estágio diferencial nMOS com carga ativa	66

Figura 6.4:	Conversor nMOS de entrada diferencial em Saída Única	67
Figura 6.5:	Estágio Cascode	68
Figura 6.6:	Estágio de Saída	69
Figura 6.7:	Esquemático do Amplificador Operacional	71
Figura 6.8:	Diagrama de bloco que representa um amplificador operacional realimentado	72
Figura 6.9:	Curva de Bode do Amplificador Operacional com e sem o Capacitor de Compensação	74
Figura 6.10:	Curva de Fase do Amplificador Operacional com e sem o Capacitor de Compensação	
Figura 6.11:	Curva de Bode e de Fase indicando a margem de fase	75
Figura 6.12:	Layout do circuito integrado do amplificador operacional	76
Figura 6.13:	Esquemático do Circuito Capacitor Chaveado	77
Figura 6.14:	Representação de uma chave analógica nMOS tipo enriquecimento	78
Figura 6.15:	Variação da tensão de saída em função da capacitância do sensor de umidade	79
Figura 6.16:	Layout do circuito integrado do circuito Capacitor Chaveado	80
Figura 6.17:	Layout final contendo o Amplificador Operacional e o Capacitor Chaveado	81
Figura 7.1:	Esquemático do sistema sensor discreto	83
Figura 7.2:	Layout final da placa de circuito impresso	84
Figura 7.3:	Esquemático do circuito gerador de sinais de controle complementar	
Figura 7.4:	Fotografia do sistema sensor discreto	85
Figura 7.5:	Representação gráfica do semi-ciclo de subida, do sistema sensor, realizada a 30°C	87
Figura 7.6:	Sensibilidade, do sistema sensor, realizada a 30°C	88
Figura 7.7:	Representação gráfica do efeito histerese do sistema sensor	89
Figura 7.8:	Representação gráfica do efeito da temperatura realizada a 40% R_H	90

LISTA DE TABELAS

Tabela 3.1:	Varição da rugosidade em comparação a temperatura	26
Tabela 3.2:	Varição da rugosidade em comparação a pressão	28
Tabela 4.1:	Constante dielétrica	32
Tabela 4.2:	Indicativo de gases e tempo de exposição	35
Tabela 4.3:	Indicativo de gases e tempo de exposição	42
Tabela 4.4:	Resistência de folha	49
Tabela 7.1:	Valores medidos no semi-ciclo de subida	
Tabela 7.2:	Valores medidos no semi-ciclo de descida	
Tabela 7.3:	Valores medidos em função da variação da temperatura com umidade constante a 40%R _H	86

LISTA DE SÍMBOLOS

A_{dm}	Ganho do estágio diferencial		R	Taxa de reação	Å/min
A_{cm}	Ganho em modo comum		R_S	Resistência de folha	Ω
C_{dp}	Temperatura de ponto de orvalho	$^{\circ}\text{C}$	R_{\square}	Resistência por quadrado	Ω
$CMRR$	Rejeição por modo comum		rpm	Rotações por minuto	
C_{ox}	Capacitância do óxido	F	r_s	Resistência de saída	Ω
C_{gs}	Capacitância intrínseca do gate-fonte	F	T_I	Constante de tempo	S
C_{gd}	Capacitância intrínseca do gate-dreno	F	T_{OSC}	Período total do oscilador	S
C_{db}	Capacitância intrínseca do dreno-corpo	F	T_{CLOCK}	Período do clock	S
C_{sb}	Capacitância intrínseca da fonte-corpo	F	t	Temperatura em graus Celsius	$^{\circ}\text{C}$
e_a	Pressão parcial de vapor d'água	mmHg	V_{REF}	Tensão de referência	V
e_s	Pressão de saturação de vapor d'água	mmHg	V_{SB}	Tensão fonte-substrato	V
E_a	Energia de ativação	eV	V_t	Tensão de threshold	V
g_m	Transcondutância do transistor	A/V	V_{GS}	Tensão de gate-substrato	V
g_{mb}	Transcondutância do corpo	A/V	W	Largura efetiva do canal	M
k	Constante de Boltzmann (8.62×10^{-5})	eV/K	E_0	Constante dielétrica no vácuo	F/cm
L	Comprimento efetivo do canal	M	ϵ_r	Constante dielétrica relativa	F/cm
N_A	Concentração de impurezas aceitadora	cm^{-3}	ϵ_s	Constante dielétrica do silício	F/cm
q	Carga do elétron (1.602×10^{-19})	C	λ	Caminho livre médio	
$R_H\%$	Umidade relativa	%	λ_B	Coefficiente de efeito de corpo	
			μ_s	Mobilidade do silício	$\text{cm}^2/\text{V.s}$
			ϕ_F	Nível de Fermi	V

RESUMO

Este trabalho mostra o desenvolvimento, fabricação e caracterização de um sensor de umidade microeletrônico, baseado em um capacitor com dielétrico higroscópico. O dielétrico higroscópico foi obtido através da deposição via LPCVD em reator vertical. Imagens AFM mostraram que esta técnica de deposição permitiu que a morfologia do filme fosse otimizada para seu emprego como material higroscópico. Um circuito conversor baseado na técnica do capacitor chaveado foi implementado para converter a variação da capacitância, do sensor de umidade, em variação de tensão. Resultados experimentais indicaram uma sensibilidade máxima de $23.3\text{mV}/\%R_H$ para R_H variando de $15\%R_H$ até $70\%R_H$.

ABSTRACT

This work present the development, fabrication and caractization of a microelectronic sensor, based on a capacitor with hygroscopic dielectric. The hygroscopic dielectric was obtained through LPCVD using a vertical reactor. Images obtained by Atomic Force Microscope – AFM allowed to optimize the morphology of the hygroscopic dielectric. A circuit converter based on the switched-capacitor technique was implemented to convert the variation of the capacitance of the humidity sensor in voltage variation. Experimental results presented a maximum sensitivity of $23.3\text{mV}/\%R_H$ to R_H ranging between $15\%R_H$ and $70\%R_H$.

INTRODUÇÃO

Sensores de umidade estão sendo cada vez mais utilizados em sistemas de controle e aquisição de dados. Estes sensores são facilmente encontrados em estufas, automóveis, equipamentos climáticos, equipamentos médicos, eletrodomésticos, etc. Mais recentemente, com o crescimento do mercado de agro-negócio no Brasil, a demanda por sensores de umidade neste mercado vem crescendo exponencialmente.

Algumas das qualidades mais desejáveis dos sensores de umidade são: resposta rápida, boa reprodutibilidade, pequena histerese, boa estabilidade térmica, resistência contra contaminantes, pequena área e finalmente baixo custo.

Este trabalho é dedicado ao estudo de um sensor de umidade capacitivo microeletrônico que exhibe uma variação do valor nominal da capacitância em função do vapor de água adsorvido. Uma vez que um capacitor consiste basicamente num conjunto de duas placas condutoras separadas por um dielétrico, as variações no valor nominal da capacitância podem ser provocadas através de três maneiras: (a) variação da área; (b) variação da distância entre as placas; (c) variação da constante dielétrica do material. Nesta pesquisa elegemos a constante dielétrica do material como variável de interesse.

Através de uma análise sistemática da literatura, observamos que desde as décadas de 80 e 90 alguns pesquisadores vêm estudando alguns tipos de materiais higroscópicos para serem utilizados como dielétrico em sensores de umidade capacitivo. No início da década de 80, T. Seiyama *et al* [1] apresentou um sensor de umidade capacitivo utilizando cerâmica porosa como

dielétrico. Já no início da década de 90, R. C. Anderson *et al* [2] apresentou um sensor de umidade capacitivo utilizando silício poroso como dielétrico e, Y. Sakai *et al* [3] apresentou um estudo para utilização de polímeros como dielétricos nos sensores de umidade.

Neste trabalho utilizaremos o silício policristalino rugoso como dielétrico do sensor de umidade capacitivo. Para isso, iniciamos nossa pesquisa a partir do silício policristalino na forma porosa. Recentemente, este material vem sendo usado na fabricação de estruturas suspensas, utilizadas em MEMS (Micro-Electro-Mechanical System). A obtenção deste silício policristalino poroso se dá através da deposição via LPCVD (Low Pressure Chemical Vapor Deposition) com reator horizontal [4]. Neste trabalho utilizaremos o LPCVD com reator vertical, instalado no Centro de Componentes Semicondutores da Universidade Estadual de Campinas – UNICAMP.

E por fim proporemos também um circuito conversor microeletrônico que possa converter a variação da capacitância em uma diferença de potencial na sua saída. Este circuito conversor emprega a técnica conhecida como Capacitor Chaveado, sendo ele fabricado também no Centro de Componentes Semicondutores da Universidade Estadual de Campinas – UNICAMP.

I.1 – Justificativa do trabalho

A fabricação e caracterização do sensor de umidade capacitivo microeletrônico, com silício policristalino rugoso como material higroscópico, visa criar mais uma alternativa na construção de sensores de umidade, cuja obtenção deste material não se encontra na literatura.

I.2 – Objetivo do trabalho

O objetivo principal deste trabalho consiste em projetar e caracterizar um sensor de umidade capacitivo microeletrônico.

O sensor será analisado através do circuito de capacitor chaveado, cuja variação na capacitância (devido a variação da umidade no ambiente) acarretará uma variação na tensão de saída do circuito.

I.3 – Apresentação do trabalho

Este trabalho está organizado em 8 capítulos, sendo este capítulo identificado por I, de introdução, onde apresentamos as justificativas e objetivos deste trabalho.

No capítulo 1 foram feitas revisões sobre as definições e conceitos da umidade relativa do ar, visando melhor entendimento dos termos e das formulações.

No capítulo 2 estão sendo apresentados os tipos de sensores umidades e os tipos de materiais empregados.

No capítulo 3 descrevemos a deposição no processo LPCVD de maneira geral, apresentando a formação do filme fino de silício policristalino rugoso. Análises morfológicas da superfície do filme depositado, através de medidas de Microscopia de Força Atômica - AFM, são usadas para a verificação da rugosidade.

No capítulo 4 estão sendo apresentadas toda a formulação e caracterização do sensor do tipo capacitivo, para que possa de maneira simples compreender o processo de fabricação do componente sensor.

No capítulo 5 estão sendo apresentados os tipos de circuitos conversores utilizados na conversão da variação da capacitância, do sensor de umidade, em forma de tensão, frequência ou modulação de pulso.

No capítulo 6 está sendo apresentado o desenvolvimento de um Amplificador Operacional nMOS tipo enriquecimento e o desenvolvimento de um circuito conversor Capacitor Chaveado integrado.

No capítulo 7 apresentaremos a caracterização do circuito capacitor chaveado e as medições realizadas no circuito para a caracterização do sensor de umidade capacitivo microeletrônico.

E por fim, no capítulo 8, apresentamos as conclusões deste trabalho e sugestões sobre trabalhos futuros de sensor de umidade capacitivo microeletrônico.

CAPÍTULO 1

UMIDADE RELATIVA DO AR

1.1 – Introdução

Neste capítulo apresentaremos alguns conceitos e definições relacionados à umidade relativa do ar, promovendo de maneira lógica a compreensão de alguns importantes aspectos envolvidos com o fenômeno da evaporação d'água. Ao leitor que desejar se aprofundar neste estudo, sugerimos o texto apresentado em [5].

1.2 – Higrometria

A ciência que tem por objetivo estudar a variação da umidade é chamada de higrometria, derivada do grego “*hygros*”, que significa umidade. Para que a medida da umidade possa ser feita, precisamos entender os aspectos psicrométricos envolvidos que governam as trocas de energia entre o ar atmosférico e a superfície da terra, seja ela vegetada ou não.

1.3 – Aspectos psicrométricos

Considere um volume fechado contendo uma quantidade determinada de água e ar à mesma temperatura. Após algum tempo o ar estará saturado d'água, ou seja, os números de

moléculas envolvidas nos processos de evaporação e condensação se igualam. Nessas condições não há evaporação efetiva e o ar encontra-se saturado de vapor d'água.

Através da Lei de Dalton das pressões parciais, sabe-se que numa mistura gasosa cada gás exerce uma pressão parcial independente da presença dos demais gases. Como o vapor d'água pode ser considerado um gás, isso significa que ele exerce o que chamamos de pressão parcial do vapor d'água (e ou e_a). Considerando o ar saturado, chamamos esta pressão de pressão de saturação do vapor d'água (e_s).

Aumentando-se a temperatura interna, do volume fechado, por injeção de calor, aumentará o nível energético das moléculas e resultará em aumento da evaporação, isso significa que o ar, nessa nova temperatura, não estará saturado, pois mais moléculas deixarão a água e se incorporarão ao ar, portanto, aumentando-se a temperatura, o ar será capaz de reter mais vapor d'água. Concluimos que o ar funciona como um reservatório que se expande ou contrai com acréscimo ou decréscimo da temperatura, sendo que a temperatura do ar determina sua pressão de saturação, que pode ser descrita pela equação de Murray [5].

$$e_s = A \exp\left(\frac{17.27t}{237.3 + t}\right) \quad (1.1)$$

Sendo que A é uma constante igual a 4,58 mmHg ou 0,61 kPa, resultando e_s em mmHg ou kPa respectivamente, e t a temperatura em °C.

Podemos observar através da equação (1.1), que a capacidade da atmosfera em reter umidade aumenta exponencialmente com o aumento da temperatura, conforme é mostrado na Figura 1.1.

Na natureza, entretanto, o ar e a água não se encontram contidos num recipiente fechado, mas uma grande massa de água está sob um grande volume de ar, sendo que o mesmo, se satura apenas em algumas situações especiais. Portanto, a pressão parcial de vapor d'água (e_a) será menor que a pressão de saturação do vapor d'água (e_s). Nessas condições, haverá um déficit de

saturação, ΔE , que é representado pela diferença da pressão de saturação e da pressão parcial do vapor d'água.

$$\Delta E = e_s - e_a \quad (1.2)$$

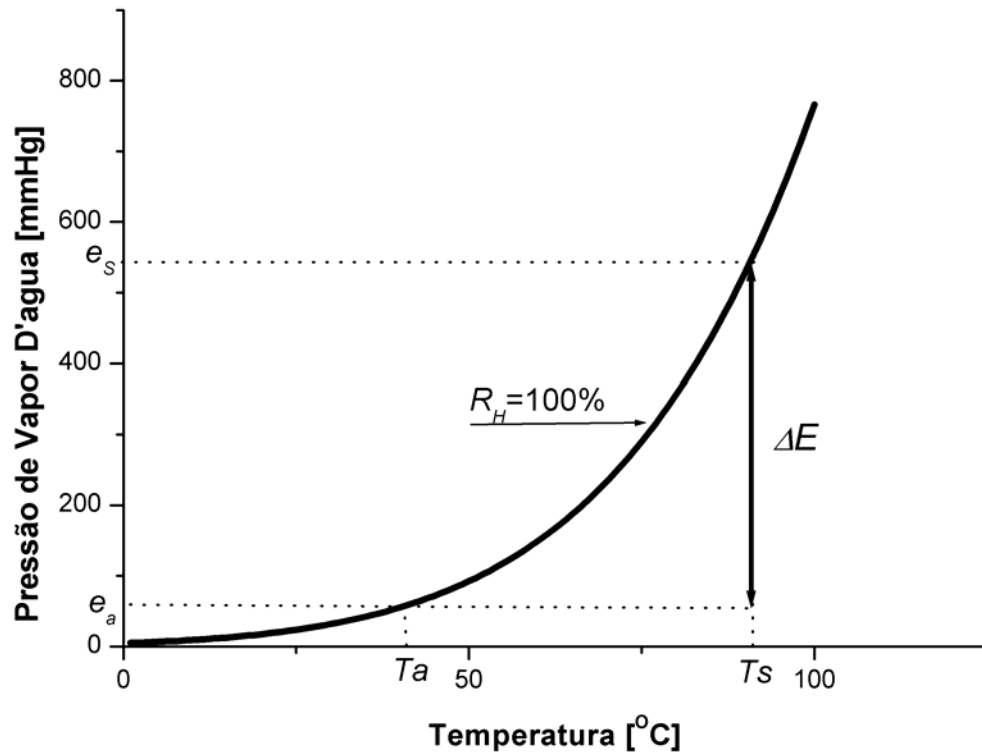


Figura 1.1 – Gráfico Psicrométrico

Através da Figura 1.1 observa-se que com o aumento da temperatura do ar, aumenta-se e_s , e como consequência, há também um aumento na diferença ΔE .

1.4 – Umidade relativa

Outra maneira de mensurar o déficit de saturação é pela razão entre a pressão parcial do vapor d'água e a pressão de saturação, isto é, a Umidade Relativa ($R_H\%$).

$$R_H \% = \frac{e_a}{e_s} 100\% \quad (1.3)$$

$R_H\%$ indica o grau de saturação em porcentagem, sendo esta a forma mais comumente usada para mensurar umidade do ar em sistemas de ar condicionado, estufas, ambientes controlados, museus, etc.

Normalmente, pode ocorrer no ambiente três situações distintas: 1° quando o ar está seco, ou seja, $e_a = 0$ e $R_H = 0\%$; 2° quando o ar está saturado, ou seja, $e_a = e_s$ e $R_H = 100\%$; 3° quando o ar está úmido, isto é, $0 < e_a < e_s$ e $R_H < 100\%$.

A primeira situação é típica de regiões polares, onde todo o vapor d'água é extraído pela superfície congelada. A segunda situação ocorre geralmente durante a madrugada e quando há condições favoráveis ao aparecimento de neblina. E a terceira situação é aquela que ocorre normalmente na maior parte dos ecossistemas.

1.5 – Ponto de orvalho (*Dew point*)

O ponto de orvalho é a temperatura ($^{\circ}\text{C}_{dp}$), no qual a pressão parcial e a pressão de saturação se igualam, tornando-se a umidade relativa em 100%, e o resfriamento da temperatura abaixo deste ponto resultará em condensação.

CAPÍTULO 2

SENSORES DE UMIDADE

O psicrômetro, que surgiu no final do século 19, foi um dos primeiros sensores de umidade relativa do ar abordados na literatura [6]. Este sensor consiste de dois termômetros idênticos dispostos paralelamente, sendo que um fica disposto em contato com a água (bulbo úmido) e o outro em contato com o ambiente (bulbo seco). Quando o ar não está saturado, a água presente no bulbo úmido evapora-se, provocando o resfriamento do termômetro, logo a diferença de temperatura entre os dois termômetros será maior quanto menor for a umidade relativa. Por outro lado, estando o ar saturado, não haverá resfriamento do termômetro e os dois terão a mesma temperatura. Apesar de necessitar de uma manutenção periódica, o psicrômetro é ainda muito usado para aferição dos outros sensores de umidade.

Uma outra técnica empregada à medição da umidade relativa do ar surgiu com a fabricação do sensor de Dunmore [7] na década de 30. Este sensor baseia-se na variação da condutibilidade iônica de uma solução de Cloreto de Lítio através da captação da umidade do ar. Estas variações são medidas por dois fios finos de cobre envoltos em um tubo de vidro coberto por uma solução de LiCl. Aquecendo a solução de LiCl teremos a evaporação da solução e conseqüentemente uma queda de condutibilidade. A temperatura é medida através da curva de saturação do LiCl e os parâmetro da umidade relativa podem ser calculados.

Com o avanço da eletrônica, a possibilidade de converter um estímulo físico em um sinal elétrico tornou-se promissor. Desta forma novas pesquisas de dispositivos e materiais empregados em sensores de umidade começaram a aparecer, dentre os quais destacamos: sensores condutivos, sensores capacitivos, sensores ópticos e sensores acústicos.

Apresentaremos a seguir o princípio de funcionamento de alguns destes sensores de umidade.

2.1 – Sensor de umidade condutivo

O sensor de umidade condutivo, mostrado na Figura 2.1, é constituído de um filme higroscópico cuja resistência varia com a umidade. Este filme é normalmente depositado sobre dois eletrodos interdigitados com o objetivo de aumentar a área de contato (exposição). A condutividade entre os eletrodos varia de acordo com a adsorção de moléculas de vapor d'água pelo filme higroscópico.

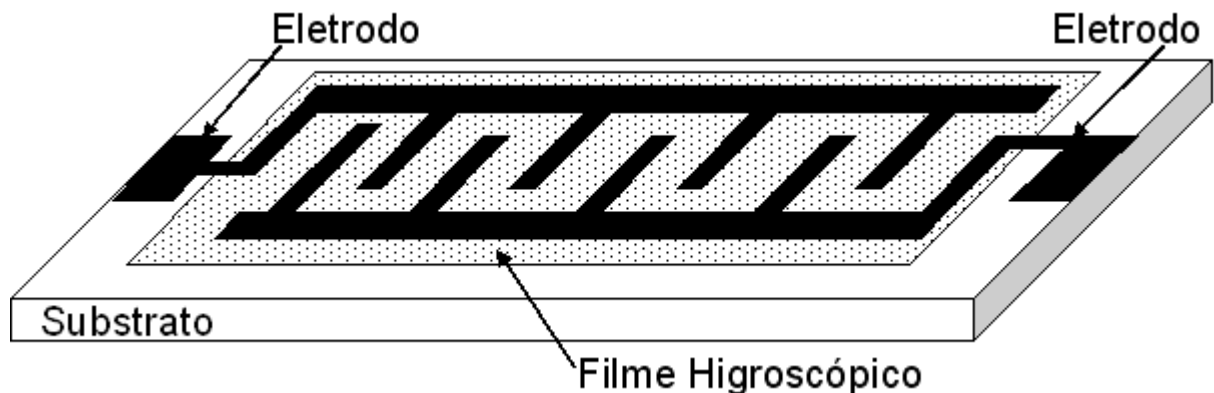


Figura 2.1 – Sensor de Umidade Condutivo

De acordo com o material do filme empregado, podemos dividir os sensores condutivos em três grupos:

- Cerâmico – a cerâmica é usada na sua forma porosa para permitir que o vapor d'água penetre mais facilmente entre o poros. Conforme alteração feita na microestrutura ou na composição química do material, resulta em diferentes características elétricas, podendo

ser empregado a um parâmetro específico de aplicação. Este sensor apresenta boa resistência a ataques químicos e mecânicos, porém, necessita de uma regeneração periódica (através de aquecimento) para limpeza. Dependendo de como o sensor será exposto à atmosfera, impurezas como: poeira, óleo, fumaça, álcool, solventes, etc, aderem à cerâmica causando danos irreversíveis na resposta do sensor, e por essa razão, o sensor cerâmico é menos resistente a ataques químicos comparado ao sensor condutivo baseado em polímero. Ex: $\text{TiO}_2\text{-Cu}_2\text{O-Na}_2\text{O}$ [8], CMC [9].

- Polímero orgânico – sensor de umidade baseado em polímero orgânico condutivo apresenta baixa histerese e pequeno tempo de resposta, porém, não pode operar em altas temperaturas e altas umidades devido a sua solubilidade a água [10]. Quando exposto em ambiente que contém algum tipo de contaminante (ex. solventes) o polímero se degrada. Sendo que, este tipo de material não suporta choques elétricos e também requer uma compensação de temperatura. Ex: poly-AMPS-TEOS [10].
- Eletrolítico – sensor de umidade baseado em material eletrolítico tem como base o sensor desenvolvido por Dunmore, LiCl, porém, adaptado para fornecer um sinal elétrico em sua saída. Entretanto, este sensor apresenta alta inércia e não é adequado para operar em ambientes muito úmidos ou em ambientes que contenham amônia ou solventes orgânicos. Ex: LiCl-PVA(*poly-vinyl-alcohol*)-PMMA(*poly-methyl-methacrylate*) [11].

2.2 – Sensor de umidade capacitivo

O sensor de umidade capacitivo é baseado na variação da constante dielétrica, devido à inserção de moléculas de vapor d'água no filme higroscópico. A propriedade deste sensor é determinada pelo tipo de material higroscópico e pela geometria do eletrodo.

A geometria do eletrodo permite que o vapor d'água se difunda livremente no dielétrico, denominados de eletrodos interdigitados – IDE [12]. Desta forma, o material higroscópico permite que o vapor difundido pelo eletrodo seja armazenado e a sua característica elétrica seja alterada. A estrutura básica de um sensor de umidade capacitivo é mostrada na Figura 2.2.

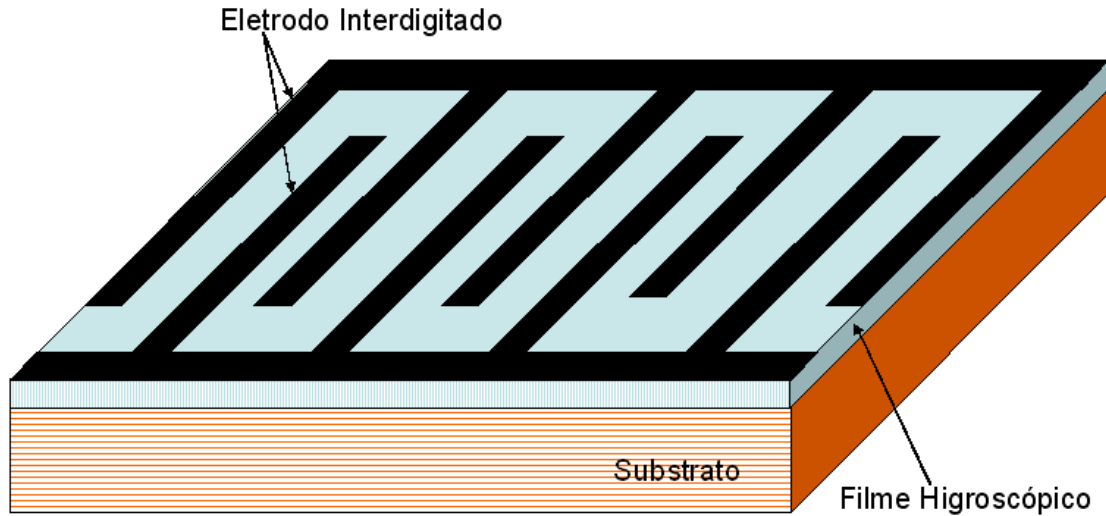


Figura 2.2 – Sensor de Umidade Capacitivo

Alguns materiais higroscópicos normalmente empregados são:

- Cerâmica porosa – a primeira cerâmica porosa usada foi a base de AlO_2 . A característica de porosidade é normalmente obtida através de *etching* eletroquímico, sendo utilizada ainda hoje em sensores comerciais devido a tecnologia do *etching* ser estável e por ter uma boa estabilidade em temperaturas elevadas para altos níveis de umidade, apesar de apresentar uma alta degradação [13]. Devido a alta sensibilidade da cerâmica à poeira e a fumaça, é necessária uma manutenção periódica através do aquecimento do sensor, com o objetivo de evaporar o vapor d'água condensado. Por essa razão, desenvolveu-se alguns sensores cerâmicos com aquecedores integrados [14].
- Silício – neste grupo obtemos o silício poroso (via processo eletroquímico), poli-silício poroso (via deposição LPCVD e processo eletroquímico) e SiC (via PECVD, dopagem e processo eletroquímico). Um trabalho realizado anteriormente [15] indica que sensores de umidade baseados em poli-silício poroso e SiC obtiveram resultados satisfatórios para sensibilidade, tempo de resposta e histerese. Entretanto, o poli-silício poroso apresentou maior sensibilidade e menor deriva térmica em comparação ao SiC e o silício poroso. Tal como na cerâmica porosa, encontramos sensores com aquecedores integrados [16].
- Polímeros – a poliamida e a CAB (*cellulose acetate butyrate*) são os polímeros mais usados em sensores de umidade, porém, problemas como histerese, instabilidade térmica e baixa durabilidade quando expostos a vapores orgânicos, os tornam limitados. Um

trabalho anterior [17] utilizando PMMA indica a diminuição da histerese (menor que 1% RH) e significativa melhora na durabilidade quando expostos à vapores orgânicos. Em um outro trabalho [18], aplicando *polyvinyl cinnamate* verificou-se a característica de seletividade, ou seja, excluía moléculas maiores do que as moléculas de metanol, podendo assim, trabalhar em ambientes que contenham vapores orgânicos do tipo etanol e acetona.

2.3 – Sensor de umidade óptico

O sensor de umidade óptico mede a umidade do ar através da temperatura do ponto de orvalho. Este sensor se baseia em um espelho cuja temperatura na sua superfície é controlada por uma fonte termoeletrica (através do efeito de Peltier [19]) com o objetivo de obter água condensada em sua superfície. Para que as gotículas de água se depositem sobre esta superfície, a temperatura do espelho deve ser regulada na temperatura do ponto de orvalho, fazendo com que a umidade do ar condense. Na Figura 2.3 apresentamos a estrutura básica de um sensor de umidade óptico.

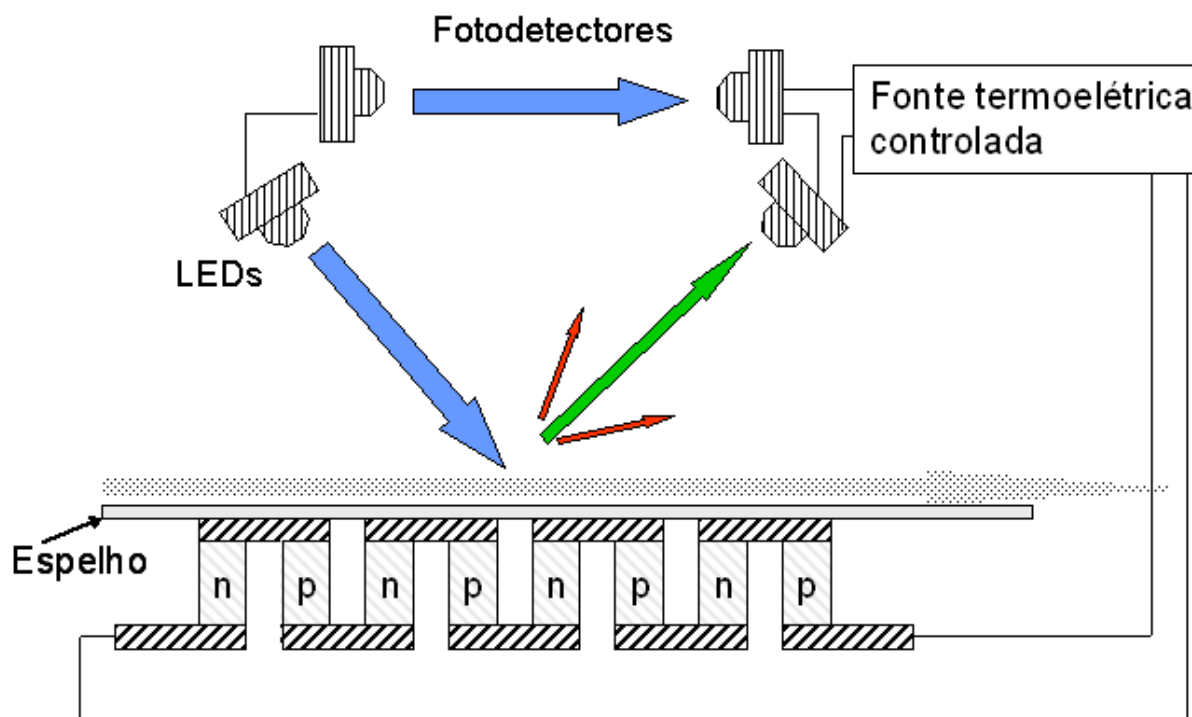


Figura 2.3 – Sensor de Umidade Óptico

O princípio básico de operação deste sensor ocorre da seguinte maneira. Consideremos inicialmente que o fotodetector seja um foto-transistor polarizado por um feixe infravermelho refletido. Considere agora, que o espelho seja resfriado, via fonte termoelétrica, de tal maneira que haja condensação do ar a sua vizinhança. Portanto, a medida em que a umidade do ar vai se condensando sobre a superfície do espelho, o coeficiente de reflexão do espelho vai se alterando devido ao processo de espalhamento do feixe infravermelho na sua superfície, por conseguinte, a corrente do coletor do foto-transistor diminui, fazendo com que a tensão V_{CE} aumente.

Os principais problemas desse sensor estão relacionados ao seu alto custo, contaminação do espelho e alto consumo de potência para a fonte termoelétrica, devido a baixa eficiência do efeito Peltier. O problema da contaminação pode ser eliminado através de um filtro de partículas ou através de uma técnica especial em que se resfrie o espelho abaixo da temperatura de orvalho para condensar uma grande quantidade de água e em seguida, aumente a temperatura para que haja a evaporação fazendo com que o espelho fique limpo.

Na literatura encontramos sensores com alta precisão e com excelente reprodutibilidade [20]. Características como linearidade, estabilidade e sensibilidade são dependentes dos materiais utilizados para implementar o espelho [21].

2.4 – Sensor de umidade acústico

O primeiro sensor acústico baseou-se no efeito piezo-elétrico. Este sensor é basicamente constituído de uma placa de quartzo que estimula um circuito oscilador [22]. O efeito piezo-elétrico foi descoberto no final do século 19 por Jacques Curie após observar que o cristal de quartzo polarizava-se eletricamente conforme o material fosse deformado. Sendo que no final da primeira guerra mundial estes tipos de sensores eram usados em equipamentos para detectar ondas acústicas no oceano.

Na década de 60, estudos sobre a propagação de ondas nos sólidos levou ao desenvolvimento de um sofisticado dispositivo denominado IDT – *Interdigital Transducer*. Este dispositivo consiste de dois eletrodos dispostos sobre um substrato piezo-elétrico separados entre si. Ao aplicar um campo elétrico em um dos eletrodos (criado por uma fonte de tensão externa V),

este induz uma deformação no substrato gerando uma onda elástica. Esta onda contém, entre outros parâmetros, as ondas Rayleigh, que deslocam-se perpendicularmente ao comprimento do eletrodo com uma certa velocidade [23]. Com o surgimento do IDT, White *et al.* [24] desenvolveu o sensor SAW (*Surface Acoustic Wave*) usando o processo planar compatível com a tecnologia VLSI.

Porém, em 1964 King *et al.* [25] desenvolveu um sensor acústico sensível a gás denominado como sensor BWPG – *Bulk-Wave Piezoelectric Gas*. O sensor BWPG consiste de um simples oscilador disposto sobre um material piezo-elétrico coberto por um filme absorvedor, onde seu princípio de funcionamento baseia-se na absorção do gás pelo filme fazendo com que a massa do filme se altere, resultando então na variação da frequência ressonante do oscilador.

Em 1979 Wolhtjen *et al.* [26] desenvolveu um sensor de vapor químico também baseado na tecnologia SAW. Na Figura 2.4 mostramos a estrutura básica do sensor SAW construído sobre um material com característica piezo-elétrica, onde dois IDTs, usados como transmissor e receptor, estão separados por um filme com característica higroscópica. Nesta configuração, observamos também um amplificador conectado a uma estrutura realimentada resultando em um sistema oscilatório, cuja frequência é determinada pela velocidade de propagação da onda de superfície e pela geometria do eletrodo IDT (na faixa de 100MHz). Portanto, o sensor é essencialmente um oscilador onde a frequência é modulada pela quantidade de concentração de gás no ambiente, sendo que dependendo do tipo do material usado como filme absorvedor, este poderá selecionar o tipo de gás a ser detectado. A saída do amplificador pode ser amostrada através de um contador ou de um voltímetro.

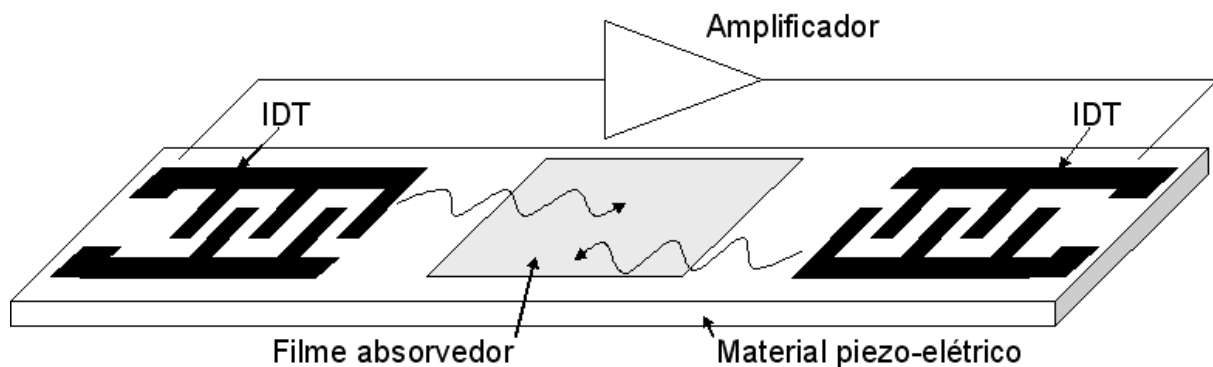


Figura 2.4 – Sensor de Umidade Acústico

Sensor de umidade baseado em tecnologia SAW utiliza o mesmo princípio do sensor de gás descrito anteriormente [27-29].

CAPÍTULO 3

SILÍCIO POLICRISTALINO COMO FILME HIGROSCÓPICO

3.1 – Introdução

A aplicação do silício policristalino em microeletrônica data do início da década de 70, quando o mesmo foi empregado como porta (*gate*) do transistor MOS [30]. A partir de meados da década de 70, o silício policristalino começou a ser empregado efetivamente na indústria microeletrônica através de aplicações em portas MOS, resistores, estruturas de isolamento, estruturas suspensas em MEMS (*Micro Electro Mechanical Systems*), entre outros.

Os filmes de silício policristalino são obtidos normalmente através de reatores CVD (*Chemical Vapor Deposition*), sendo este um processo relativamente simples e conhecido, utilizado para a obtenção de diversos materiais metálicos e dielétricos, desde a década de 50.

A partir da década de 70, os primeiros reatores foram adaptados com a finalidade de obter silício policristalino sob pressão atmosférica (APCVD – *Atmospheric Pressure Chemical Vapor Deposition*) e logo em seguida sob baixa pressão (LPCVD – *Low Pressure Chemical Vapor Deposition*) [31].

Com alta produtividade, excelente cobertura de degrau e boa uniformidade do filme obtido nestes reatores, este processo de deposição de silício policristalino difundiu-se rapidamente e tornou-se um dos processos mais importantes da indústria microeletrônica.

Em 1993 Judy *et al.* [32] relatou que sob determinadas condições de deposição, via LPCVD, em reator horizontal, obtinha-se filme de silício policristalino na forma porosa, baseada através do etching de solução de HF (remoção do SiO₂ que estava sob o filme depositado). Este resultado veio de encontro aos avanços das pesquisas em torno de estruturas MEMS, onde a exigência na obtenção de membrana mais robusta e estrutura suspensa foi por muito tempo o grande obstáculo para o avanço destas pesquisas.

No mesmo período, outros pesquisadores estudaram processos alternativos para a obtenção de filme de silício policristalino poroso. Uma das propostas foi apresentada por Anderson *et al.* [33] em 1994, através da técnica de um *etching* eletroquímico, gerando anódicamente a camada porosa. Uma outra proposta foi apresentada por Chu *et al.* [34] em 1995, onde ele usou duas camadas de silício policristalino separadas por uma camada de SiO₂, seguido por litografia e um *etching* úmido sacrificial, a fim de obter filmes com poros extremamente controlados.

Em 1995, Lebouitz *et al.* [35] conseguiu depositar diretamente silício policristalino em forma porosa, entretanto, estudos de caracterização iniciais verificaram um baixo rendimento do processo. Também haviam dúvidas relacionadas ao processo que originou o filme permeável.

Em 2002, Dougherty *et al.* [36] apresentou um estudo detalhado sobre o processo, via LPCVD em reator horizontal, da microestrutura e das propriedades permeáveis do filme de silício policristalino. Com isso, ele apresentou um completo entendimento da estrutura do filme e das condições de processo, permitindo um certo grau de repetibilidade na deposição.

Neste capítulo, apresentaremos a formação do filme fino de silício policristalino (Si-poli) rugoso, via LPCVD. Este trabalho apresenta uma nova contribuição à pesquisa

sobre a deposição do Si-poli rugoso, pois emprega o processo de deposição no LPCVD em reator vertical, localizado no Centro de Componentes Semicondutores (CCS). Utilizamos como referência a publicação de Dougherty *et al.* [36], porém com o objetivo de obter um filme rugoso e não poroso como descrito na publicação.

3.2 – Formação da microestrutura

Consideremos inicialmente que o processo de formação de um filme ocorre sob certas condições de temperatura, pressão e fluxo de gás. Sendo que, estas condições sejam mantidas constantes durante o processo.

A primeira interação que acontece na superfície da amostra envolve o átomo (ou molécula) do gás sobre esta superfície. Este átomo em contato com a superfície liga-se a ela, de forma a permitir sua movimentação sobre a superfície em direções aleatórias. Este processo de ligação é conhecido como *adsorção*.

Após o material ser adsorvido, o átomo pode difundir-se sobre a superfície até encontrar outro átomo e se ligar a ele, ou se dissolver para a fase gasosa. Estes dois processos se repetem até que o aglomerado atinja um tamanho crítico para a formação de um núcleo estável. A este processo chamamos de *nucleação*, ou seja, é o passo mais importante para a definição de algumas características morfológicas do filme.

Aos processos de adsorção e nucleação, chamamos de período de incubação (tempo necessário para ocorrência destes dois processos), que pode ter a duração entre 1 segundo e um pouco mais de 1 minuto sobre toda a superfície de deposição. Observa-se que nesta fase o tamanho dos núcleos são muito próximos uns dos outros, mostrando uma dependência bem definida dos parâmetros de processo, particularmente a temperatura. Após este intervalo de tempo, o número de núcleos aumenta exponencialmente atingindo valores da ordem de 10^{12} cm^{-2} [37]. Ao atingir esta concentração, a densidade de núcleos permanece constante por mais um curto intervalo de tempo iniciando-se a fase que denominamos de *coalescência* entre os núcleos [38].

A partir desta fase ocorre o crescimento do filme propriamente dito [39]. Esta fase está relacionada também ao caminho livre médio (λ). λ indica a probabilidade de um átomo adsorvido se fixar na superfície ou em um núcleo já formado. Conforme mais átomos forem fixados, menor será a distância entre seus núcleos, logo, maior será a probabilidade de incorporar novos átomos aos núcleos já existentes. A importância desta fase no processo de deposição está relacionada ao tamanho final do grão formado, ou seja, quanto maior for a densidade dos núcleos, maior será a quantidade de grãos com tamanhos menores.

3.3 – Obtenção do filme de silício policristalino

O processo de formação de núcleos descrito no item anterior não garante necessariamente que se forme um filme policristalino. Dependendo das condições de temperatura, pressão e outras características do processo CVD, podemos obter filmes em duas diferentes fases: amorfo ou policristalino. Estas duas fases podem ser obtidas por *Deposição Direta* ou por *Cristalização em Fase Sólida*.

A obtenção de filme de silício policristalino via *Deposição Direta* é um processo feito acima de 600 °C. Neste processo, existe uma temperatura de transição entre a fase amorfa e a fase cristalina (esta temperatura pode variar conforme pressão e tipo de reator utilizado no processo), podendo chegar a valores da ordem de 800 °C para a obtenção do filme com as características desejadas. A deposição direta de silício policristalino é um processo de cristalização em fase sólida, onde a fase de cristalização ocorre quase que simultaneamente com a deposição do filme. Fisicamente pode-se dizer que quanto maior for a temperatura da superfície, maior será o gradiente de concentração e da difusão através da Camada Limite – CL (área localizada sobre a superfície depositada onde ocorre a deposição do filme) e conseqüentemente maior será a taxa de deposição do filme e a taxa de reação na superfície da lâmina. Como a difusão é um processo lento e a sua ocorrência através da camada limite é um dos fatores limitantes do processo CVD, dizemos que há um processo limitado pelo *transporte de massa*.

A obtenção de filme de silício policristalino via *Cristalização em Fase Sólida* é um processo composto de duas fases: obtenção de um filme de Si-amorfo e a cristalização do

filme depositado. Inicialmente para obter o Si-amorfo, exige-se um processo CVD mais simples que a deposição direta, por envolver temperaturas mais baixas (abaixo dos 520°C para o reator horizontal e dos 700°C para o reator vertical via LPCVD). O crescimento do filme tende a ser mais rápido, bastante uniforme e com baixa rugosidade, permanecendo assim após a cristalização do filme amorfo. Como a camada limite não é um fator limitante, fisicamente podemos dizer que há neste caso material suficiente para a reação de deposição. Neste caso, a deposição é lenta devido a taxa de reação na superfície da lâmina ser limitada, o que podemos dizer que o processo é limitado pela *taxa de reação*.

O processo limitado pela taxa de reação e pelo transporte de massa podem ser descritos pela equação de Arrhenius [39], conforme mostramos na Figura 3.1.

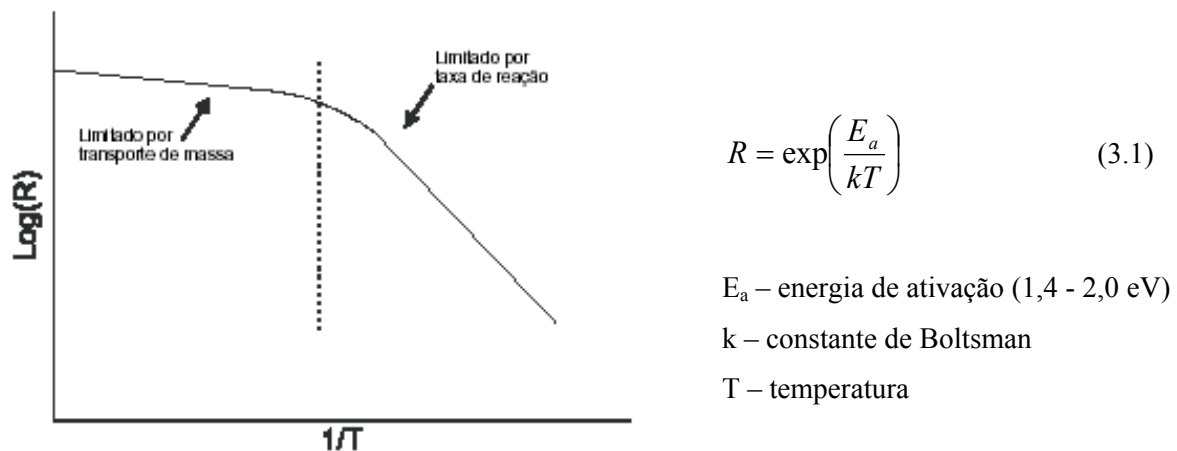


Figura 3.1 - Taxa de Reação (R) em função do inverso da temperatura (T)

3.4 – Dependência dos parâmetros de deposição no CVD

Além das etapas descritas anteriormente, do processo de deposição via CVD, existem outros parâmetros que devem ser considerados para a descrição completa no processo CVD. Os parâmetros que podem influenciar na deposição são: temperatura, pressão, gás de arraste e fluxo de SiH_4 . Estes parâmetros podem alterar as características da formação do filme principalmente na nucleação, na velocidade da reação e no tamanho do grão ao final do processo. Como fizemos a deposição em diferentes temperaturas e pressões,

descreveremos apenas sobre estes dois parâmetros. A influência dos outros parâmetros envolvidos no processo é descrita por Teixeira *et al.* [40].

3.4.1 – Temperatura

A temperatura é a principal variável que pode alterar a deposição no processo CVD. Sua dependência relaciona-se ao tipo de reator e a pressão a ser utilizada na deposição. Basicamente temperaturas menores levam à formação de filmes amorfos e temperaturas maiores levam à formação de filmes policristalino, independente de outras variáveis.

A temperatura também influencia na decomposição dos gases e na adsorção da superfície do substrato (quanto maior a temperatura maior é o consumo de silício). Desta forma, a taxa de crescimento é bastante afetada pela variação de temperatura. Na região onde a deposição é limitada pela taxa de reação, a taxa de crescimento apresenta uma relação exponencial em função da temperatura, e na região onde a deposição é limitada pelo transporte de massa, a taxa de crescimento apresenta decréscimo, como podemos observar na Figura 3.1.

3.4.2 – Pressão

A pressão total do sistema afeta o filme depositado principalmente na sua estrutura, devido a quantidade de gás adsorvido pela superfície. Este efeito está associado ao caminho livre médio devido a pressão exercer influência de forma inversa a temperatura, ou seja, quanto maior for a pressão de deposição, maior será a probabilidade da molécula do gás se fixar na superfície e não em uma outra molécula. Por outro lado, a redução da pressão aumenta o tamanho do grão, pois há uma menor quantidade de material que chega na superfície de deposição.

3.5 – Deposição do filme fino de silício policristalino via LPCVD

A deposição do filme fino de silício policristalino foi feita em diferentes temperaturas e pressões no sistema LPCVD em reator tipo Pancake vertical, modelo

PMC200 da Phoenix Materials Corporation. Utilizamos lâminas do tipo p, com orientação $\langle 100 \rangle$, resistividade $1\text{-}30\ \Omega \times \text{cm}$, cobertas com uma camada de óxido crescido termicamente de espessura $150\ \text{\AA}$. A micrografia feita através de microscopia de força atômica (AFM) de uma região da superfície da lâmina é mostrada na Figura 3.2.

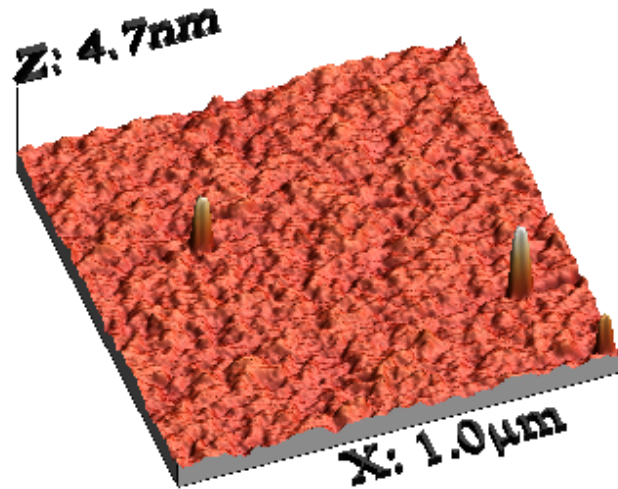


Figura 3.2 – Micrografia AFM do SiO₂ crescido termicamente.

As deposições foram feitas em ambiente de Silana (SiH₄) e Hidrogênio (H₂) com fluxo de 40 sccm e 4800 sccm, respectivamente. Conforme publicação de Dougherty *et al.* [36] o ponto de obtenção do silício policristalino poroso, situa-se na temperatura de transição entre o regime limitado pela taxa de reação e o regime limitado pelo transporte de massa. Iniciamos a nossa deposição a partir dos 800°C, conforme caracterização do reator [41] o qual indica a região que se encontra a temperatura de transição, cuja curva de Arrhenius mostramos na Figura 3.3.

As deposições iniciais foram efetuadas a pressão de 5 torr variando apenas a temperatura (800 °C, 810 °C, 820 °C). O tempo de cada deposição foi de 1 minuto.

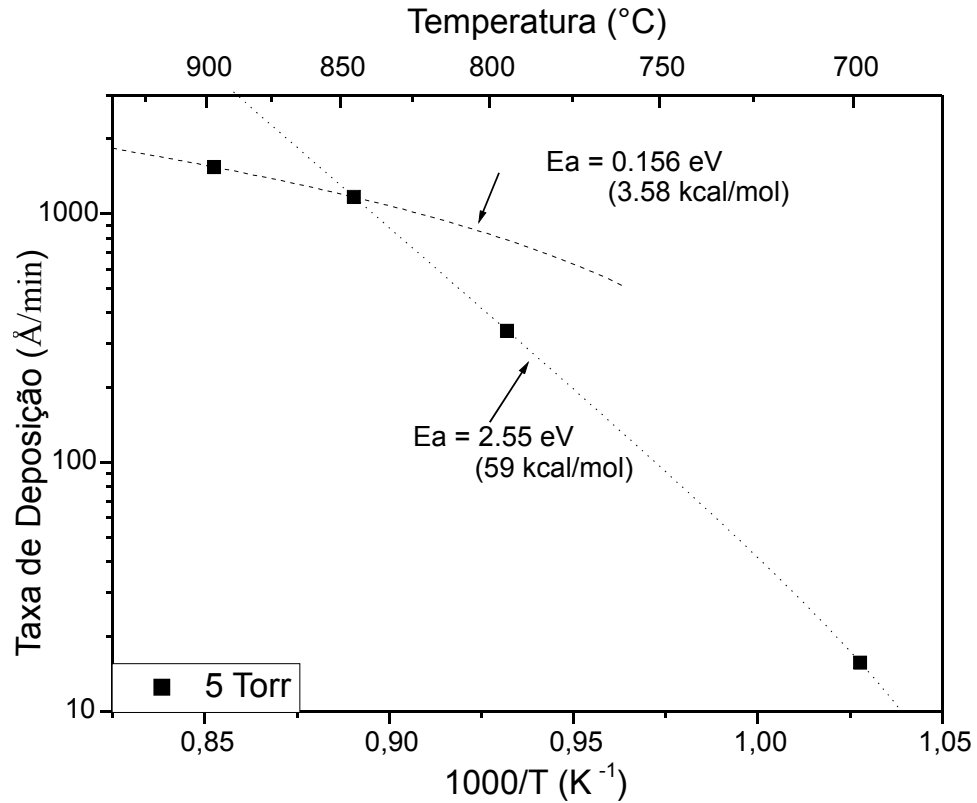


Figura 3.3 – Taxa de Reação (R) em função do inverso da temperatura (T) para o reator LPCVD vertical.

A análise morfológica da superfície do filme depositado foi feita por meio da Microscopia de Força Atômica (AFM) em modo de contato, verificando a sua rugosidade, através das Figuras 3.4 a 3.6.

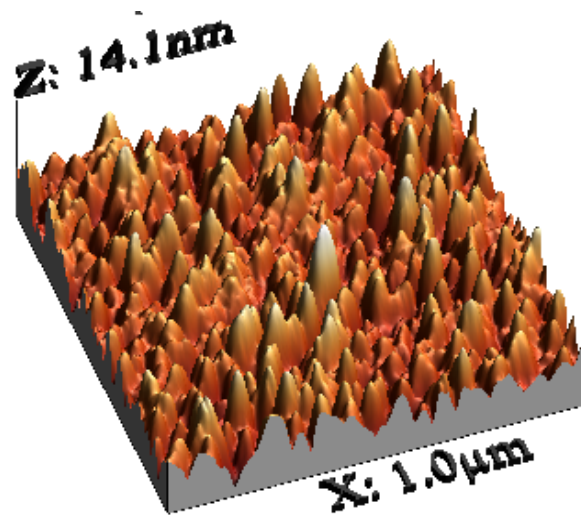


Figura 3.4 – Micrografia AFM do Si-poli depositado a 800 °C com 5 torr de pressão.

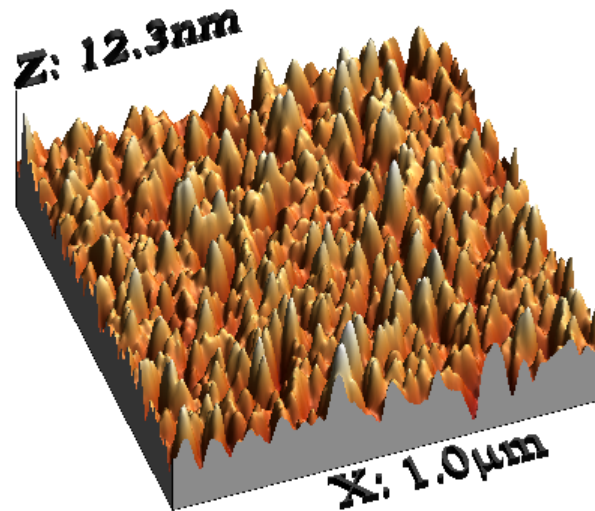


Figura 3.5 – Micrografia AFM do Si-poli depositado a 810°C com 5 torr de pressão.

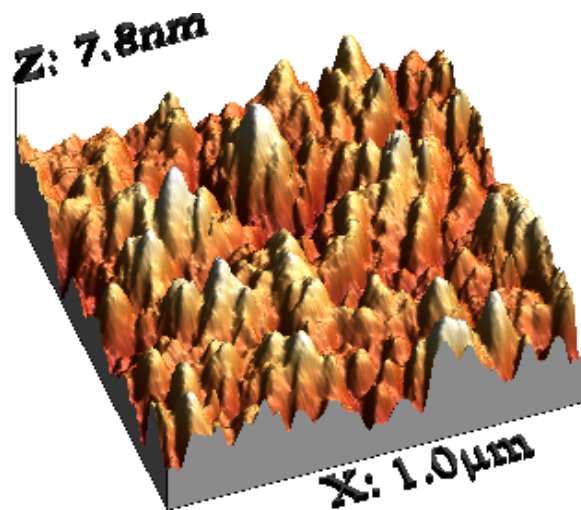


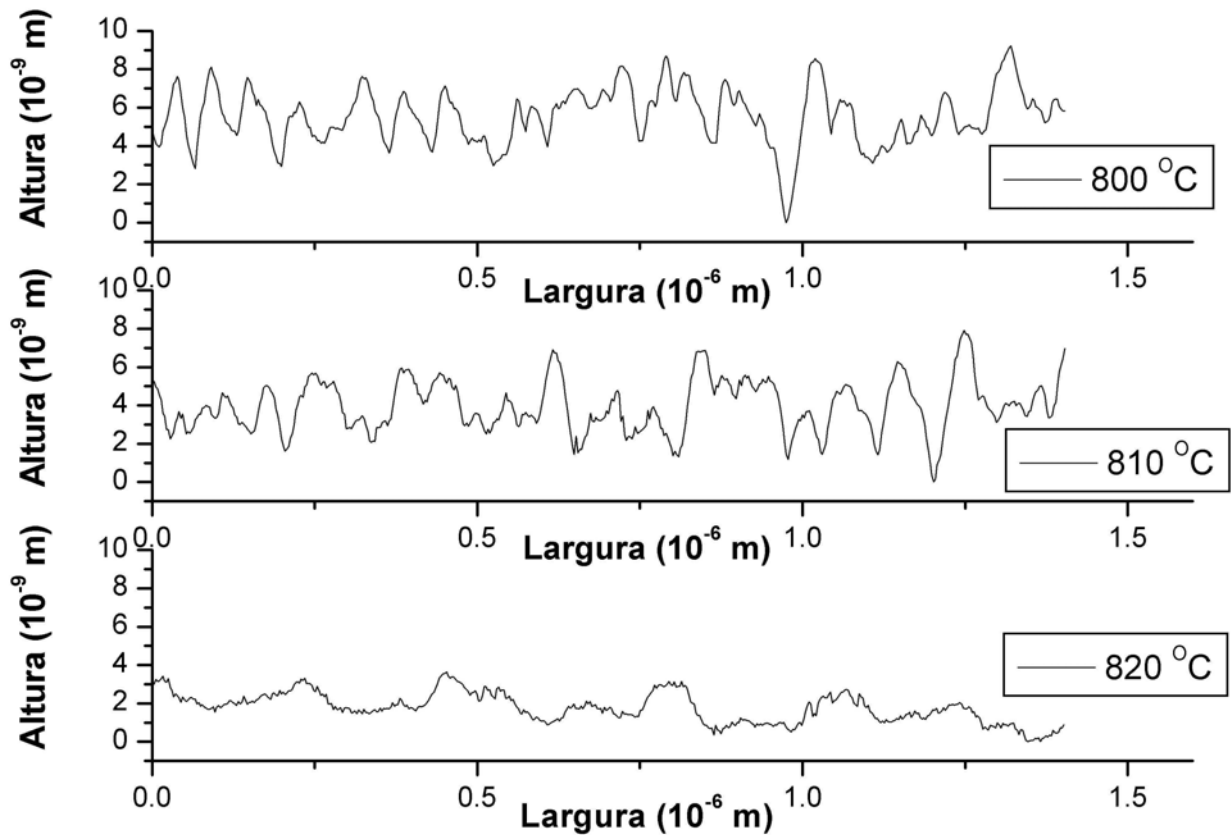
Figura 3.6 – Micrografia AFM do Si-poli depositado a 820 °C com 5 torr de pressão.

Através da Tabela 3.1 podemos observar a variação da rugosidade rms em função da variação da temperatura. A fim de comparação, acrescentamos à tabela sobre o óxido de silício. Este óxido de silício está sob a superfície depositada para fazer a isolamento cristalográfica da lâmina.

Tabela 3.1 – Variação da rugosidade em comparação a temperatura.

Amostras	Temperatura (°C)	Pressão (torr)	Rugosidade (nm)
Óxido	1000	ambiente	0,20
800-5T	800	5	1,78
810-5T	810	5	1,49
820-5T	820	5	1,05

Na Figura 3.7 podemos observar mais claramente, em corte longitudinal, as diferenças morfológicas das deposições para cada temperatura.

**Figura 3.7** – Corte longitudinal para cada temperatura de deposição.

Pelos resultados apresentados na Figura 3.7 observamos as diferenças topológicas para as diferentes temperaturas de deposição. Concluimos que o filme que apresentou maior rugosidade foi o depositado a temperatura de 800 °C. Entretanto, não escolhemos o filme apenas pela sua rugosidade, mas também através do resultado do *etching* de HF feito nestes filmes.

Este *etching* consiste em mergulhar as lâminas durante 1 minuto em uma solução de HF puro e depois observar no microscópio qual das amostras obteve a melhor resposta na corrosão do óxido que estava sob o filme. Este método de teste é sugerido para a verificação da porosidade do filme de silício policristalino [32]. Com este teste pretendemos verificar a possibilidade de obter um filme poroso via LPCVD em reator vertical. A lâmina que apresentou melhor resultado ao teste de HF foi aquela em que a deposição ocorreu a 810 °C.

Como a pressão influencia no tamanho do grão final, ao diminuirmos a pressão a uma dada temperatura, este grão terá seu tamanho aumentado, por conseguinte, poderemos aumentar a rugosidade do filme depositado. Portanto, fixando a temperatura a 810 °C e o tempo de deposição de 1 minuto, aplicamos as pressões de 5, 2 e 1 torr. Nas Figuras 3.8 a 3.10 mostramos as diferenças morfológicas, através das imagens feitas em AFM, para diferentes pressões.

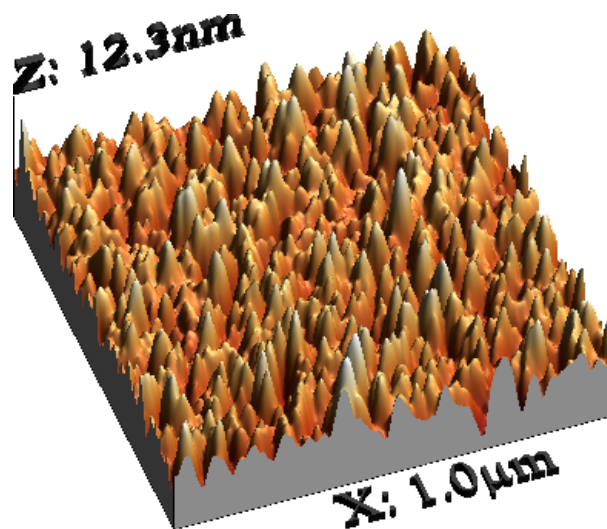


Figura 3.8 – Micrografia AFM do Si-poli depositado a 810 °C com 5 torr de pressão.

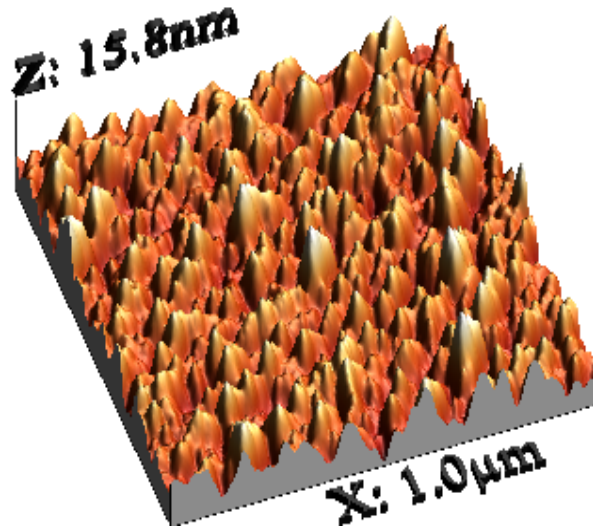


Figura 3.9 – Micrografia AFM do Si-poli depositado a 810 °C com 2 torr de pressão.

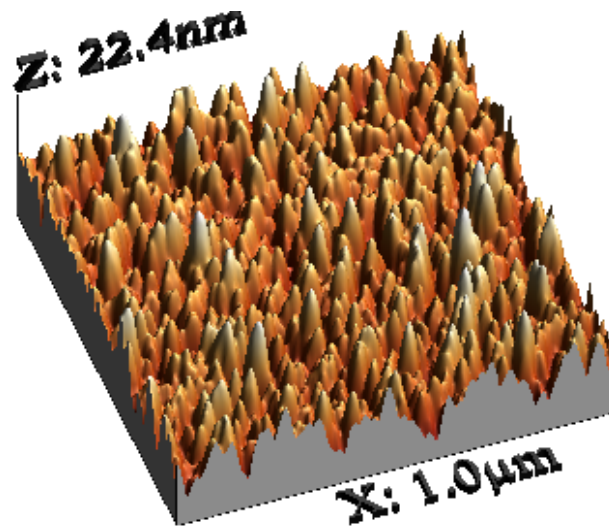


Figura 3.10 – Micrografia AFM do Si-poli depositado a 810 °C com 1 torr de pressão.

Através da Tabela 3.2 podemos observar a variação da rugosidade rms em função da variação da pressão.

Tabela 3.2 – Variação da rugosidade em comparação a pressão.

Amostras	Temperatura (°C)	Pressão (torr)	Rugosidade (nm)
810-5T	810	5	1,49
810-2T	810	2	2,14
810-1T	810	1	2,83

Na Figura 3.11 podemos observar mais claramente, em corte longitudinal, as diferenças morfológicas das deposições para cada pressão.

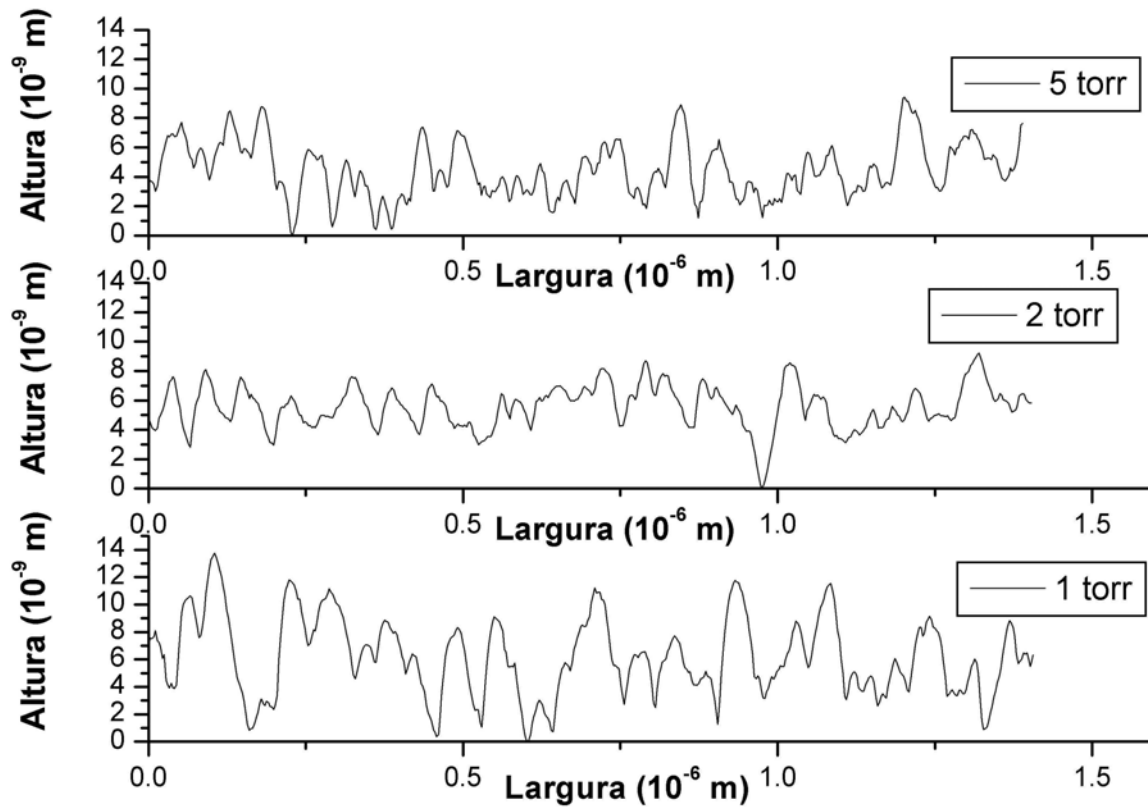


Figura 3.11 – Corte longitudinal para 810°C e diferentes pressões de deposição.

Pelos resultados mostrados na Figura 3.11 podemos observar as diferentes larguras dos grãos, para diferentes pressões de deposição, e com isso o aumento da rugosidade do filme.

Tomando com base os resultados apresentados, concluímos que a melhor opção para obtenção do filme rugoso na deposição é obtida a uma temperatura de 810 °C e pressão de 1 torr. Usaremos este resultado para a fabricação do sensor de umidade que será apresentado no capítulo seguinte.

CAPÍTULO 4

SENSOR DE UMIDADE CAPACITIVO

4.1 – Introdução

O sensor de umidade capacitivo, também denominado sensor higrométrico, explora a dependência da constante dielétrica de alguns materiais em função da umidade relativa do ar. O dielétrico é neste caso constituído por uma película fina de um material com características isolante e higroscópica. No capítulo 3 apresentamos o processo de obtenção do silício policristalino rugoso para a aplicação higroscópica. Neste capítulo, apresentaremos o processo de fabricação do sensor de umidade capacitivo. Este sensor será fabricado no Centro de Componentes Semicondutores – CCS.

Dentre os sensores de umidade disponíveis no mercado, os sensores condutivos e os capacitivos são os que apresentam a melhor relação custo/benefício. Como apresentamos no capítulo 2, os sensores condutivos apresentam boa estabilidade térmica. Entretanto, os sensores capacitivos são sensíveis a contaminação por poluentes, porém, apresentam melhor estabilidade quando expostos a alta temperatura.

As características mais desejáveis em um sensor de umidade são:

- Resposta rápida;
- Baixo custo;
- Tamanho reduzido;
- Histerese mínima;
- Baixa deriva térmica;
- Estabilidade;
- Repetibilidade;
- Resistência contra contaminantes.

Atualmente nenhum dos sensores de umidade construídos foi capaz de atender satisfatoriamente a maioria das características acima. Se pesquisarmos no mercado verificaremos que teremos sensores cujo tempo de respostas varia de 5 seg. [42] até 5 min. [43]; custos para a venda que vai da faixa de algumas dezenas de reais até algumas centenas de reais [44]; histerese em torno de $1\%R_H$ até $1,2\%R_H$ [42,45]; repetibilidade na faixa de $0,1\%R_H$ [42] até $0,5\% R_H$ [45].

4.2 – Capacitor como sensor de umidade

Sensores capacitivos são baseados no efeito da variação da constante dielétrica de filmes finos ou do substrato, devido à adsorção do vapor d'água. As características desses sensores são determinadas principalmente pela característica higroscópica do material dielétrico e pela geometria (morfologia) do eletrodo.

A equação geral da capacitância é dada por:

$$C = \varepsilon \frac{A}{d} \quad (4.1)$$

Sendo que A é a área das placas e d a distância entre elas. A permissividade relativa ou constante dielétrica é dada por:

$$\varepsilon_r = \frac{\varepsilon}{\varepsilon_0} \quad (4.2)$$

Sendo que ε_0 é a constante dielétrica do vácuo e vale 8,85 pF/m ,.

A equação geral de capacitância é determinada por fatores geométricos, A e d , e pela constante dielétrica relativa ε do material que separa as duas placas. No caso dos sensores de umidade capacitivos a capacitância é alterada pela variação da permissividade do dielétrico devido ao acúmulo de umidade

A Tabela 4.1 mostra a constante dielétrica de alguns elementos e matérias de interesse.

Tabela 4.1 – Constante dielétrica

Dielétrico	ε_r
Ar (seco)	1,0006
Água @ 0°C	88
Água @ 25°C	80
Água @ 100°C	55
Al ₂ O ₃	8,8
Si	11,8
SiO ₂	3,8 a 5,4
Papel	3,5
Vidro	6,0

Algumas não idealidades, tais como o efeito de “franja” e não linearidade podem ocorrer quando capacitores são empregados como elemento sensores.

O efeito de “franja” é mostrado na Figura 4.1.a. Este efeito pode ser uma grande fonte de erro, porém pode ser minimizado se a distância entre as placas for bem menor do que as dimensões lineares. Um método de reduzir o efeito de “franja”, sem variar a geometria do capacitor, é construir “anéis de guardas” ao redor do capacitor conforme apresentamos na Figura 4.1.b.

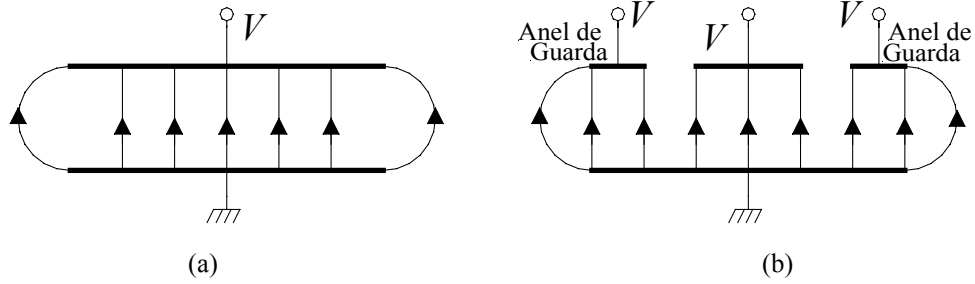


Figura 4.1 – Capacitor simples (a) e com uso de ‘anéis de guardas’ (b)

Os anéis de guarda devem ser mantidos no mesmo potencial da placa sensora.

A sensibilidade da medida em relação a variação da constante do dielétrico ou da variação da área é dado por:

$$\frac{\partial C}{\partial \varepsilon} = \frac{A}{d}, \quad \frac{\partial C}{\partial A} = \frac{\varepsilon}{d} \quad (4.3)$$

Portanto, através da Eq. 4.3, verificamos a sensibilidade é linear.

Contudo, a sensibilidade com relação a variação da distância entre as placas é não linear e é dado por:

$$\frac{\partial C}{\partial d} = -\frac{\varepsilon A}{d^2} \quad (4.4)$$

Na prática, sensores de umidade capacitivos podem apresentar um comportamento não linear. Este comportamento pode ser descrito pela equação [46]:

$$\frac{C_s}{C_o} = \left(\frac{\varepsilon_w}{\varepsilon_d} \right)^n \quad (4.5)$$

Sendo que, ε_d é a constante dielétrica no estado seco, ε_w é a constante dielétrica na presença de umidade e n é um fator relacionado a característica higroscópica do material dielétrico e a morfologia do eletrodo.

Apesar do efeito de “franja” e da não linearidade, sensores capacitivos têm como vantagem a alta estabilidade e reprodutibilidade, devido à capacitância ser independente das propriedades elétricas das placas (condutibilidade elétrica).

4.3 – Fabricação do sensor

Todas as etapas do processo de fabricação serão descritas a seguir.

4.3.1 – Caracterização da lâmina

Esta etapa consiste na escolha do tipo de lâmina, orientação e calculo da resistência de folha (R_s) ou resistência por quadrado (R_\square) da lâmina que iremos trabalhar. Para isso, utilizamos uma lâmina tipo-p de orientação cristalográfica $\langle 100 \rangle$ com resistência de folha, R_s , igual a 1101Ω . O corte lateral da lâmina é mostramos na Figura 4.2.



Figura 4.2 – Representação da lâmina de Si em corte lateral

4.3.2 – Limpeza

Para evitar o acúmulo de impurezas na interface entre o substrato e o óxido de silício que será crescido na oxidação úmida, foi feita uma limpeza completa, mergulhando as lâminas nas seguintes soluções:

- $\text{H}_2\text{SO}_4/\text{H}_2\text{O}$ (4:1) em 80°C por 10min. (“solução piranha”) – solução utilizada para remover principalmente gorduras;
- $\text{HF}/\text{H}_2\text{O}$ (1:10) em temperatura ambiente por 10s – solução utilizada para remover óxido de silício (SiO_2) nativo;

- $\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ (1:1:5) em 80°C por 10 min. – solução utilizada para remover gordura e alguns metais;
- $\text{HCl}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ (1:1:5) em 80°C por 10 min. – solução utilizada especificamente para remoção de metais.

4.3.3 – Oxidação úmida

Com o intuito de formar um anteparo para o próximo processo, foi realizada uma oxidação úmida nas lâminas de silício, conforme apresentamos na Figura 4.3. As lâminas foram colocadas no forno de oxidação úmida, sob a temperatura de 1000°C exposta a determinados gases conforme mostra Tabela 4.2.



Figura 4.3 – Representação da lâmina de Si em corte lateral com SiO_2 crescido

Tabela 4.2 – Indicativo de gases e tempo de exposição

Gases	Tempo (min)	Função
N_2	> 3	Diminuir o stress térmico para a entrada da lâmina no forno
O_2	10	Saturar o ambiente com O_2 e fazer um crescimento de camada de SiO_2 mais pura
$\text{O}_2 + \text{H}_2\text{O}$	180	Crescer o filme de SiO_2 com uma taxa maior que a anterior
N_2	10	Fazer o recozimento do óxido crescido na lâmina
N_2	> 3	Reduzir o stress térmico para a retira da lamina do forno

Com esses parâmetros obtivemos óxido de silício de espessura próxima a 8000 \AA .

4.3.4 – Fotogravação do anel de guarda

Esta fotogravação tem o intuito de iniciar a formação de um resistor sob o filme, para mais adiante ser utilizado como um aquecedor para função “reset” no sensor de umidade.

Após 70 segundos no revelador (MIF – Metal Íon Free) em solução 1:1 com H_2O , revelamos o fotoresiste polimerizado e colocamos a lâmina na estufa a $110^{\circ}C$ por 30 minutos para enrijecer o resiste não polimerizado.

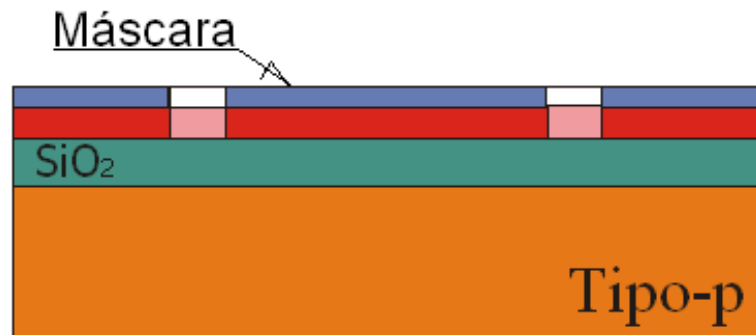


Figura 4.6 – Representação da lâmina de Si em corte lateral com a despolimerização do resiste pela exposição à luz ultravioleta para a transferência de padrão da máscara para o SiO_2 .

4.3.5 – Corrosão do óxido e remoção total do fotoresiste

Utilizando a solução de HF e NH_4F (Buffer), mergulhamos a lâmina para remover o SiO_2 da região exposta, até que todo o óxido seja removido, conforme Figura 4.7.



Figura 4.7 – Representação da lâmina de Si em corte lateral com SiO_2 removido nas áreas sem proteção do resiste.

Após a corrosão do SiO_2 , o fotoresiste foi removido utilizando-se acetona fria, seguido por isopropanol frio, conforme Figura 4.8.



Figura 4.8 – Representação da lâmina de Si em corte lateral sem a camada protetora de fotoresiste sobre o SiO₂ e as áreas expostas do substrato.

4.3.6 – Limpeza

Para evitar o acúmulo de impurezas na região que será implantada, foi feita uma limpeza completa (descrita no item 4.3.2).

4.3.7 – Implantação iônica n⁺

Para que se possa alterar a dopagem na região do anel de guarda, implantamos fósforo (P⁺) a uma energia $E = 65 \text{ keV}$ com concentração $C = 5 \times 10^{15} \text{ cm}^{-2}$ para a formação de uma região n⁺ conforme mostramos na Figura 4.9, e para isso usamos o implantador de íons GA-4204 EATON.

O valor da energia e concentração usada nesta e também na próxima etapa de implantação, foi obtido através do software de simulação SUPREM, onde indicamos que resistência de folha e x_j desejamos após a ativação dos dopantes e na finalização do processo. O resultado desta simulação encontra-se no Apêndice A.



Figura 4.9 – Representação da lâmina de Si em corte lateral com SiO₂ protegendo a área que foi implantada fósforo para a formação do anel de guarda.

4.3.8 – Limpeza

Para evitar o acúmulo de impurezas na região que foi implantada foi feita uma limpeza completa (descrita no item 4.3.2).

4.3.9 – Fotogravação do eletrodo inferior

Usamos os mesmos procedimentos usados no item 4.3.4 para a aplicação do fotoresiste, porém com padrão de máscara diferente conforme mostramos na Figura 4.10.

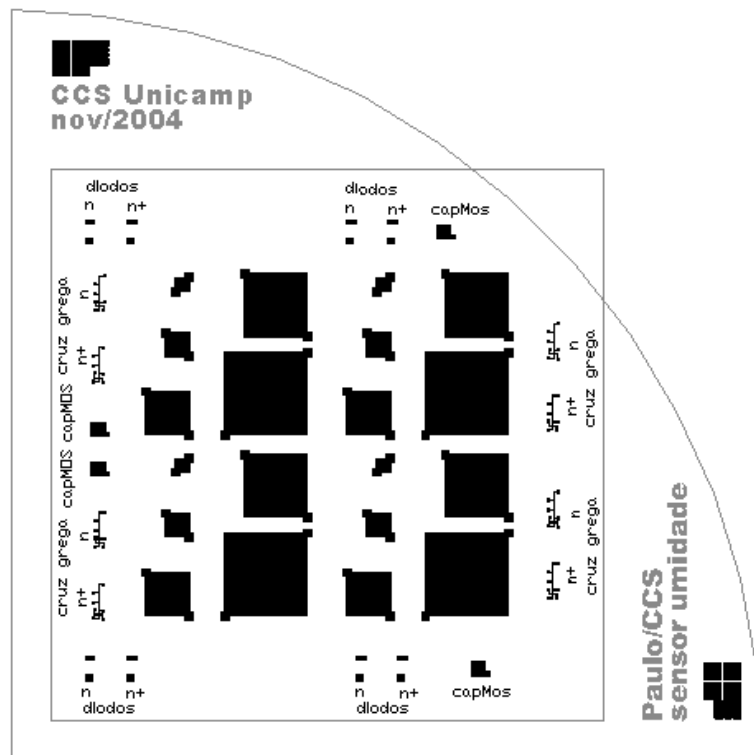


Figura 4.10 – Máscara referente ao eletrodo inferior

Expondo o conjunto em luz ultravioleta por 24 segundos polimerizamos as regiões expostas ao fotoresiste conforme Figura 4.11.

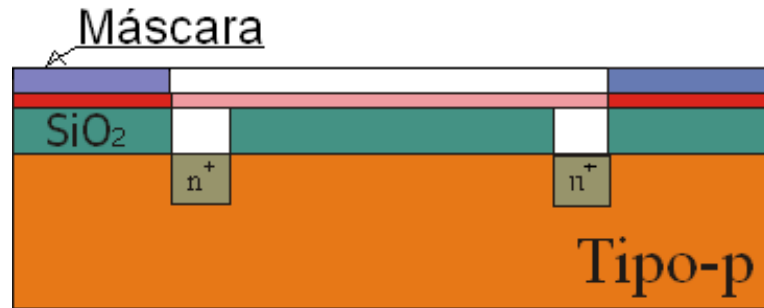


Figura 4.11 – Representação da lâmina de Si em corte lateral com a despolimerização do resiste pela exposição à luz ultravioleta para a transferência de padrão da máscara para o SiO_2 .

4.3.10 – Corrosão do óxido e remoção do fotoresiste

Utilizamos os mesmos procedimentos do item 4.3.5 mergulhando a lâmina para remover o SiO_2 da região exposta, até que todo o óxido fosse removido conforme Figura 4.12.



Figura 4.12 – Representação da lâmina de Si em corte lateral com SiO_2 removido nas áreas sem proteção do resiste.

Após a corrosão do SiO_2 o fotoresiste foi removido utilizando-se acetona fria, seguido por isopropanol frio conforme Figura 4.13.



Figura 4.13 – Representação da lâmina de Si em corte lateral sem a camada protetora de fotoresiste sobre o SiO_2 e as áreas expostas do substrato.

4.3.11 – Limpeza

Para evitar o acúmulo de impurezas na região que será implantada foi feita uma limpeza completa (descrita no item 4.3.2).

4.3.12 – Implantação iônica n

Para que possa alterar a dopagem na região do eletrodo inferior, implantamos fósforo (P^+) a uma energia $E = 65 \text{ keV}$ com concentração $C = 1 \times 10^{13} \text{ cm}^{-2}$ para a formação de uma região n, conforme mostrado na Figura 4.14.

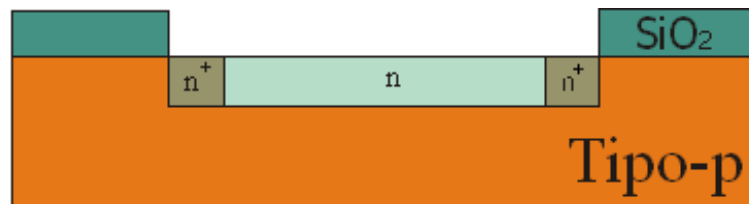


Figura 4.14 – Representação da lâmina de Si em corte lateral com SiO_2 protegendo a área que foi implantada fósforo para a formação do eletrodo inferior.

Após as duas etapas de implantação, espera-se que a concentração da região n^+ aumente para $7,15 \times 10^{19} \text{ cm}^{-2}$ e na região n aumenta para $5 \times 10^{17} \text{ cm}^{-2}$, tendo conseqüentemente uma resistividade (ρ) em torno de $0,054 \Omega \times \text{cm}$ e $0,0035 \Omega \times \text{cm}$, respectivamente. Com isso, pretende-se obter uma resistência de folha (R_s) de valores entre 1Ω e 6Ω para a região n^+ e 5Ω e 10Ω para a região n, conforme resultados da simulação SUPREM.

4.3.13 – Limpeza

Para evitar o acúmulo de impurezas na região que foi implantada foi feita uma limpeza completa (descrita no item 4.3.2).

4.3.14 – Recozimento e oxidação seca

Visando reconstruir a rede cristalina, devido aos defeitos gerados pela implantação iônica, foi feito um recozimento para reconstruir a rede cristalina e ativar os dopantes.

Aproveitando a necessidade do recozimento, foi feita a oxidação seca para fazer a isolação cristalográfica da lâmina para o filme a ser depositado conforme Figura 4.15.

As lâminas são colocadas no forno de oxidação a uma temperatura de 1000°C sob determinado ambiente e tempo, conforme Tabela 4.3.

Tabela 4.3 – Indicativo de gases e tempo de exposição

Ambiente	Tempo (min)
N ₂	30
O ₂	2
N ₂	20

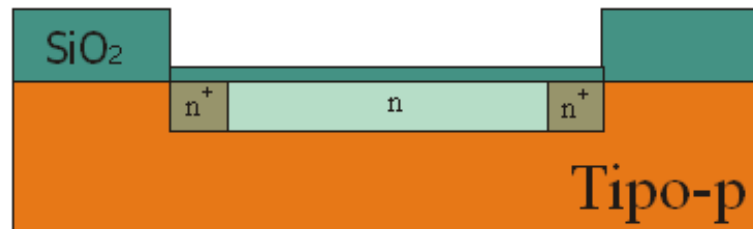


Figura 4.15 – Representação da lâmina de Si em corte lateral com SiO₂ fino crescido sobre a área implantada.

Com esses parâmetros obtivemos óxido de silício de espessura próxima de 150 Å conforme medidas realizadas no instrumento Rudolph/FTM.

4.3.15 – Deposição do silício policristalino

Esta etapa consiste na deposição do filme higroscópico do sensor de umidade capacitivo. O filme é depositado via LPCVD em reator vertical. A atmosfera reagente foi a Silana (40 sccm de fluxo) e o Hidrogênio (4800 sccm de fluxo), a uma temperatura de 810 °C durante 1 minuto, sendo que uma lâmina foi depositada a pressão de 1 Torr, conforme apresentamos na Figura 4.16. Os parâmetros de deposição e caracterização do filme foram descritos no capítulo 3.

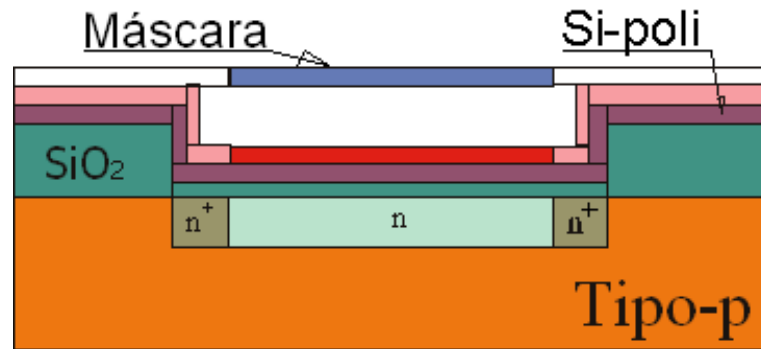


Figura 4.18 – Representação da lâmina de Si em corte lateral com a despolimerização do resiste pela exposição à luz ultravioleta para a transferência de padrão da máscara para a área do capacitor.

4.3.17 – Corrosão do filme depositado, do óxido e remoção do fotoresiste

Inicialmente mergulhamos a lâmina em uma solução $\text{HNO}_3 + \text{H}_2\text{O} + \text{HF}$ (50:20:1) por 30 segundos para remoção do filme de Si-poli depositado. Em seguida utilizando a solução de HF e NH_4F , mergulhamos a lâmina por 4 minutos e 30 segundos para remoção total do óxido, conforme Figura 4.19.

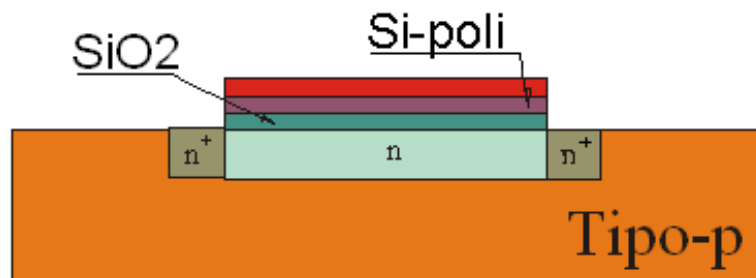


Figura 4.19 – Representação da lâmina de Si em corte lateral com SiO₂ e o Si-poli removido nas áreas sem proteção do resiste.

Após a corrosão do óxido, o fotoresiste foi removido utilizando-se acetona fria seguido por isopropanol frio conforme Figura 4.20.

Nesta etapa fizemos duas diferentes formações do eletrodo interdigitado como apresentamos na Figura 4.22.

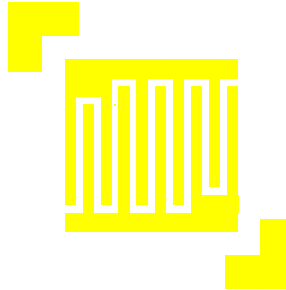


Figura 4.22 – Disposição dos contatos superiores

Além das diferentes formações variamos também a distância entre os eletrodos com as seguintes medidas: $50\ \mu\text{m} \times 50\ \mu\text{m}$ e $25\ \mu\text{m} \times 25\ \mu\text{m}$.

Expondo o conjunto a luz ultravioleta por 24 segundos polimerizamos as regiões expostas ao fotoreziste conforme Figura 4.23.

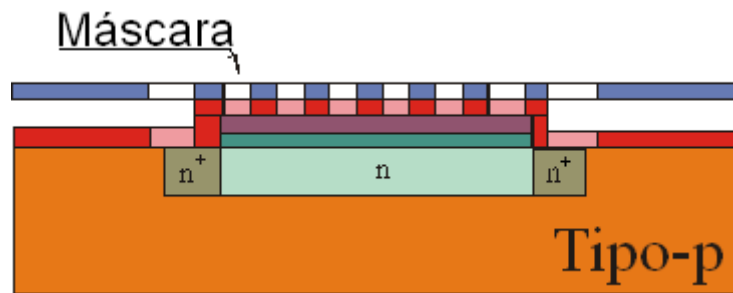


Figura 4.23 – Representação da lâmina de Si em corte lateral com a despolimerização do resiste pela exposição à luz ultravioleta para a transferência de padrão da máscara para a formação de contatos.

Em relação aos processos anteriores mantivemos as lâminas por mais tempo (90 segundos) no revelador MIF, e em seguida revelamos o fotoreziste polimerizado conforme a Figura 4.24. Finalizada esta etapa transferimos a lâmina para a evaporadora.

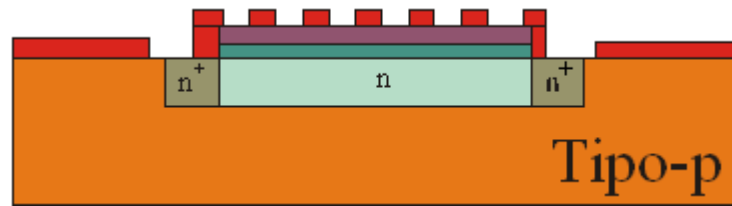


Figura 4.24 – Representação da lâmina de Si em corte lateral com a retirada do resiste polimerizado.

4.3.20 – Evaporação do alumínio

Usamos uma evaporadora por feixe de elétrons com os seguintes parâmetros: pressão base = 8×10^{-7} Torr, pressão de evaporação = 6×10^{-5} Torr. Desta forma obtivemos a deposição de alumínio com espessura próxima de 1600 Å, conforme apresentamos na Figura 4.25.

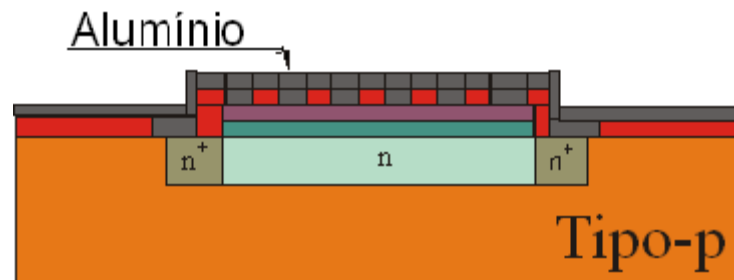


Figura 4.25 – Representação da lâmina de Si em corte lateral com o alumínio evaporado sobre a lâmina.

4.3.21 – Lift-off

Esta etapa consiste em remover o fotoresiste que esta sob o alumínio depositado, e com isso também retirar o alumínio que esta sobre ele. A lâmina é mergulhada na acetona fria até a total retirada do alumínio que estava sobre o fotoresiste, conforme mostramos na Figura 4.26.

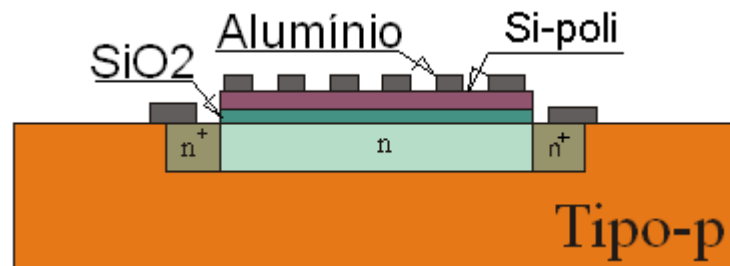


Figura 4.26 – Representação da lâmina de Si em corte lateral com o alumínio retirado sobre o fotoresiste e a representação final do sensor de umidade capacitivo.

4.3.22 – Sinterização de contatos

A sinterização servi para reestruturar as camadas e reduzir os defeitos (cargas superficiais de ligações incompletas). Para isso, colocou-se a lâmina no forno a uma temperatura de aproximadamente 450°C por 10 min em um ambiente de $N_2 + H_2O$ (0.92:0.08). Com isso, ocorre a oxidação do alumínio (Al) e a liberação do hidrogênio (H_2), formando juntamente com o N_2 o que denominamos de gás verde.

4.4 – Cruz Grega

Para verificar a qualidade da implantação iônica, medimos a resistência de folha (R_S) da área implantada através da estrutura mostrada na Figura 4.27.

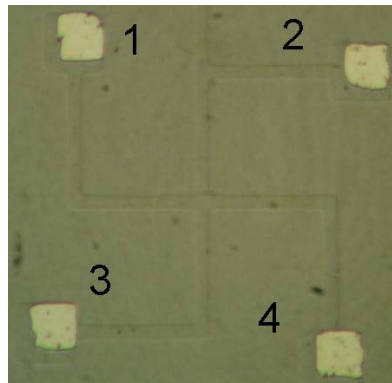


Figura 4.27 – Cruz Grega

Medindo-se a queda de tensão entre os pontos 2 e 4, ao mesmo tempo em que se faz fluir uma corrente entre 1 e 3, obtemos R_S através da seguinte relação:

$$R_S = \frac{V_{24}}{I_{13}} \times 4,53 \quad (4.6)$$

Com isso podemos preencher a tabela a seguir.

Tabela 4.4 – Resistência de folha

Tipo	I₁₃ (μA)	V₂₄ (μV)	R (Ω)	R_s (Ω)
N	4,00	6,83	1,7075	7,73
N⁺	6,00	5,32	0,8866	4,01

4.5 – Sensor de Umidade

Finalizado todo o processo obtivemos algumas estruturas às quais mostraremos a seguir.

Nestas figuras, a área mais clara corresponde ao contato de alumínio, a mais escura corresponde a lâmina de silício e a do quadrado corresponde ao filme higroscópico. Na Figura 4.28 e 4.29 apresentamos os sensores depositados a 810°C e 1 torr de pressão, todavia com distâncias diferentes entre os eletrodos interdigitados (25 μm e 50 μm respectivamente).

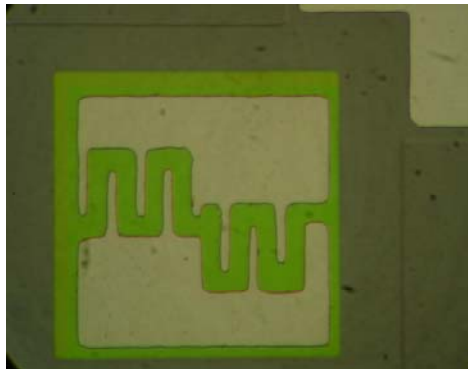


Figura 4.28 – Microfotografia do sensor de umidade com eletrodo interdigitado de 25 μm

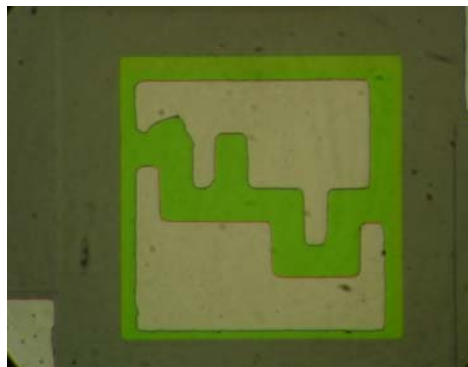


Figura 4.29 – Microfotografia do sensor de umidade com eletrodo interdigitado de 50 μm

Na Figura 4.30 mostramos um sensor de umidade depositado a 810°C e 1 torr de pressão, porém com área maior e com a formação dos eletrodos com suas formas não bem definidas devido a problemas ocasionados no processo lift-off. O problema no Lift-off surgiu devido ao fotoresiste ter dificuldade em aderir ao Si-poli-rugoso, e com isso, este começava a deformar os “dedos” dos eletrodos antes de todo o fotoresiste ser removido, como podemos observar na Figura 4.31.

A solução que propomos para esse caso é a inversão da máscara, ou seja, aplicarmos primeiro o alumínio e depois a máscara para a retirada do alumínio posteriormente. Porém até o momento não chegamos a aplicar este método por ser necessária a fabricação de uma outra máscara e conseqüentemente não teríamos tempo disponível para colocar os resultados neste trabalho.

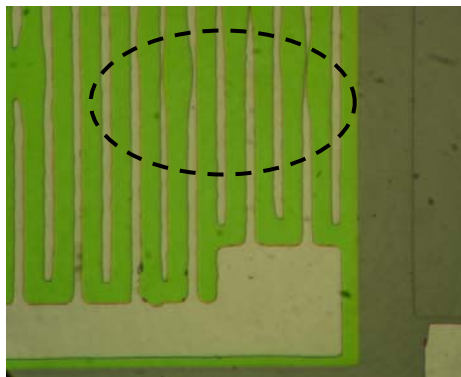


Figura 4.30 – Microfotografia do sensor de umidade com eletrodo interdigitado de 25 µm



Figura 4.31 – Microfotografia do sensor de umidade com eletrodo interdigitado deformado

Os resultados experimentais serão apresentados no capítulo 7.

CAPÍTULO 5

CIRCUITO CONDICIONADOR DE SINAIS

5.1 – Introdução

Tendo em vista a necessidade de converter a variação da capacitância, do sensor de umidade, em variação de tensão, frequência ou modulação de pulso, apresentaremos a seguir quatro diferentes circuitos que possam fazer esta conversão.

O primeiro circuito baseia-se no método de modulação de largura de pulso, PWM [47], onde são combinados diodos, resistores, capacitores e temporizadores. O segundo circuito baseia-se na técnica do conversor Analógico Digital de Inclinação Dupla [48], onde são combinados capacitores, resistores, amplificador operacional e chaves. O terceiro baseia-se na técnica de transferência de carga [49], onde são combinados capacitores, amplificador operacional e chaves. E por último, um circuito que baseia-se na técnica relacionada a osciladores (conversores de frequência), onde são combinados fonte de corrente, amplificador e *flip-flop* [50-51].

5.2 – Circuitos conversores

5.2.1 – Modulação por Largura de Pulso – PWM

A técnica do conversor baseada em PWM (*Pulse Width Modulation*) usa um circuito multivibrador aproximado [47]. Dois temporizadores 555 são usados. O diagrama do circuito é mostrado na Figura 5.1. O primeiro 555 está ligado como um oscilador astável, ao passo que o segundo está ligado com configuração monoestável.

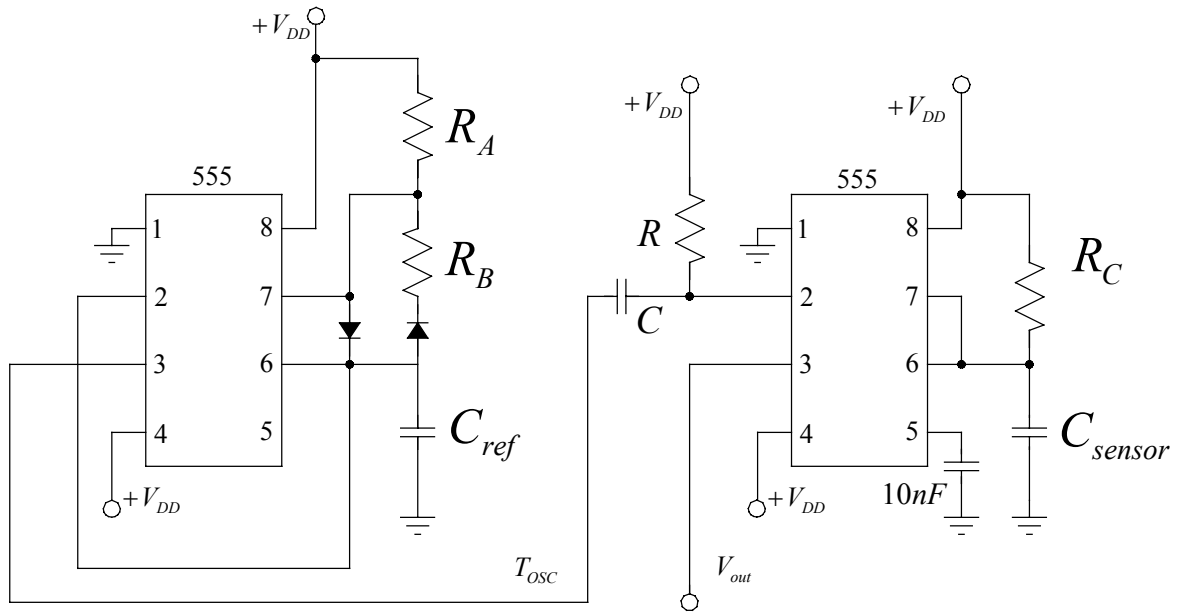


Figura 5.1 – Diagrama do circuito PWM

A saída do oscilador varia de $1/3 V_{DD}$ a $2/3 V_{DD}$, com uma constante de tempo de carga e de descarga dada por:

$$t_1 = \ln 2 R_A C_{ref} \quad (5.1)$$

$$t_2 = \ln 2 R_B C_{ref} \quad (5.2)$$

Sendo que, C_{ref} é o valor do capacitor de referência. O período total da saída T_{OSC} do primeiro oscilador é dado pela soma dos dois tempos t_1 e t_2 , portanto:

$$T_{OSC} = t_1 + t_2 = \ln 2 C_{ref} (R_A + R_B) \quad (5.3)$$

Logo este oscilador gera um sinal de *clock* para o circuito monoestável. O circuito monoestável é conectado a um circuito RC_{sensor} , sendo que C_{sensor} é o capacitor sensor de umidade. O tempo necessário para que ocorra o chaveamento interno do 555 é dado por:

$$t_3 = \ln 3 R_C C_{sensor} \quad (5.4)$$

A largura do pulso na saída do monoestável é proporcional ao valor da capacitância do C_{sensor} . O diagrama de tempo da operação do circuito está representado na Figura 5.2.

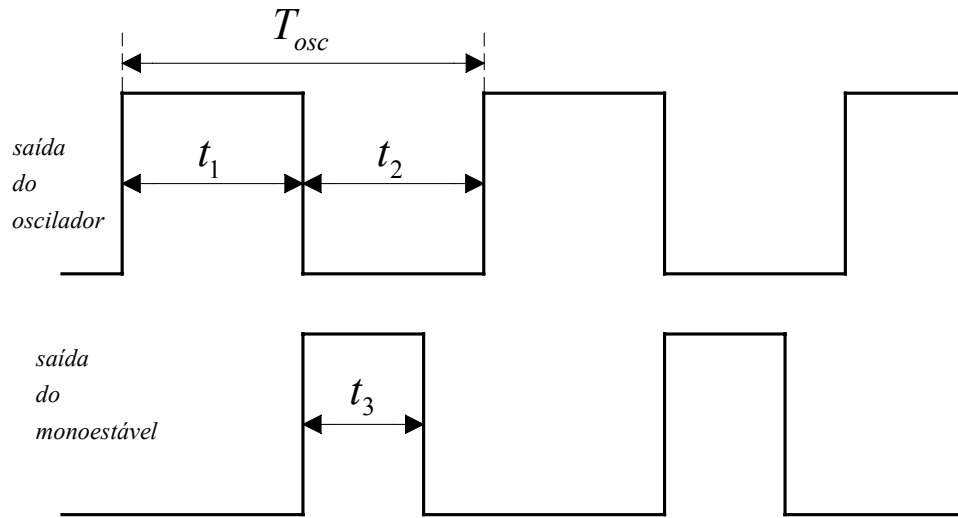


Figura 5.2 – Digrama de tempo do circuito PWM

5.2.2 – Conversor de Inclinação Dupla

O circuito conversor de inclinação dupla é baseado no princípio do conversor ADC (conversor analógico-digital) de mesmo nome. O capacitor C_{sensor} é medido durante a conversão A/D, fornecendo na sua saída um número digital proporcional ao valor do sensor capacitivo. O diagrama do circuito é mostrado na Figura 5.3.

O ciclo de conversão inicia-se com a abertura de S1 e a conexão da entrada do integrador através da chave S2 ao sinal analógico de entrada. Como V_{ref} é negativo, uma corrente

$I = \frac{V_{ref}}{R}$ circulará por R saindo do integrador. Portanto v_I aumenta linearmente com inclinação

de $\frac{V_{ref}}{RC_{ref}}$, conforme indicado na Figura 5.4. Simultaneamente, o contador é habilitado sendo controlado pela frequência de *clock* por um intervalo de tempo t_1 .

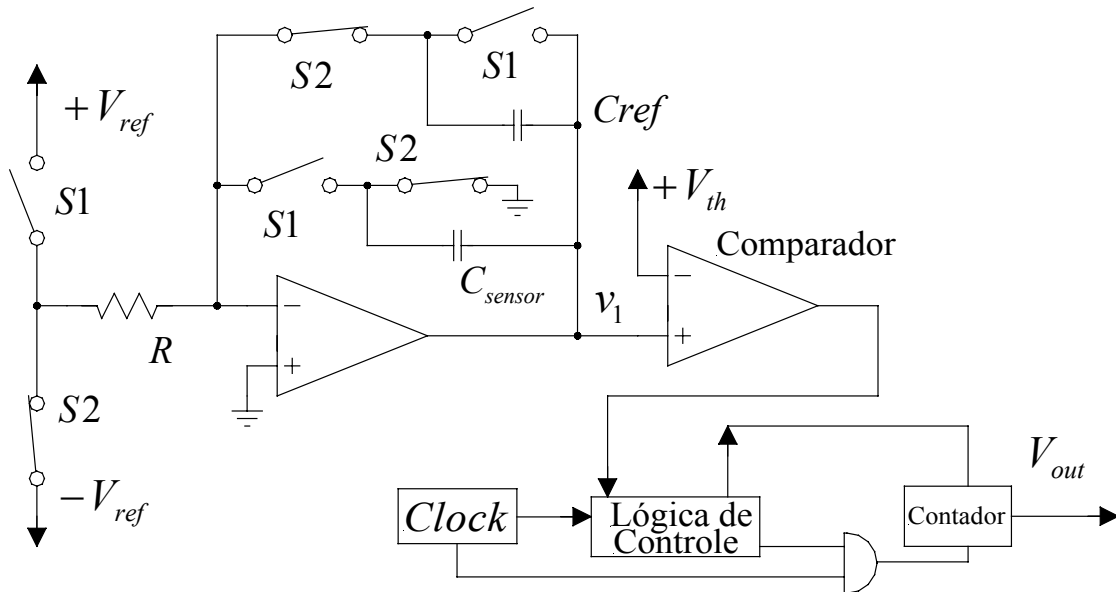


Figura 5.3 – Diagrama do circuito de Inclinação Dupla

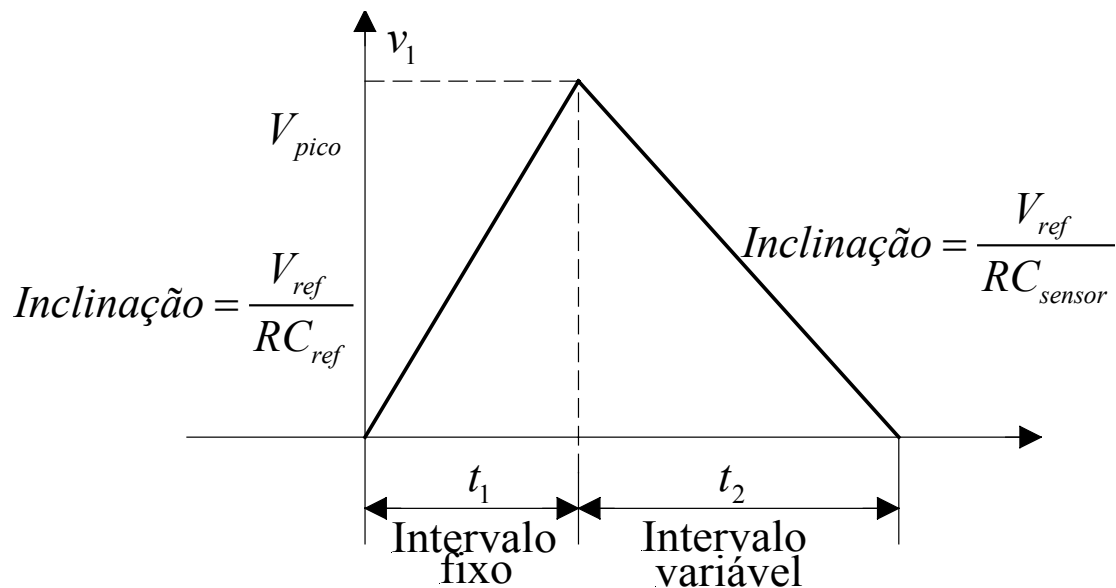


Figura 5.4 – Diagrama de tempo do circuito de Inclinação Dupla

Representando a tensão de pico na saída do integrador por V_{pico} , podemos obter a seguinte relação:

$$V_{pico} = \frac{V_{ref} t_1}{RC_{ref}} \quad (5.5)$$

No segundo período, a conversão inicia-se no tempo t_1 pela conexão da entrada do integrador através da chave S1 à tensão de referência positiva V_{ref} . Diferentemente da situação anterior, a corrente do integrador inverte de sentido, logo v_I diminui linearmente com uma inclinação de $\frac{V_{ref}}{RC_{sensor}}$. Simultaneamente, o contador é habilitado sendo excitado pela frequência de *clock* pelo intervalo de tempo t_2 . Quando v_I atinge zero, o comparador sinaliza a lógica de controle para interromper a contagem.

Representando este período de duração por t_2 , podemos obter a seguinte relação:

$$V_{pico} = \frac{V_{ref} t_2}{RC_{sensor}} \quad (5.6)$$

Substituindo a equação (5.6) em (5.5), então temos:

$$t_2 = \frac{C_{sensor} t_1}{C_{ref}} \quad (5.7)$$

Como a leitura do contador no final do tempo t_1 é igual a $N_1 = t_1 f_c$ e para o tempo t_2 é igual a $N_2 = t_2 f_c$, sendo que f_c é a frequência de *clock*, podemos reescrever a Eq. 5.7 através dos seguintes termos:

$$N_2 = \frac{C_{sensor}}{C_{ref}} N_1 \quad (5.8)$$

Portanto, através da Eq. 5.8 podemos notar que a saída do contador N_2 é proporcional a razão do sensor de umidade capacitivo pelo capacitor de referência. Sendo este circuito,

independente da frequência de *clock*, da tensão de referência e da constante de tempo de integração.

5.2.3 – Conversor a Capacitor Chaveado

O circuito conversor baseado na técnica do capacitor chaveado aplica o princípio da transferência de carga. O circuito básico de um conversor baseado na técnica do capacitor chaveado é mostrado na Figura 5.5.

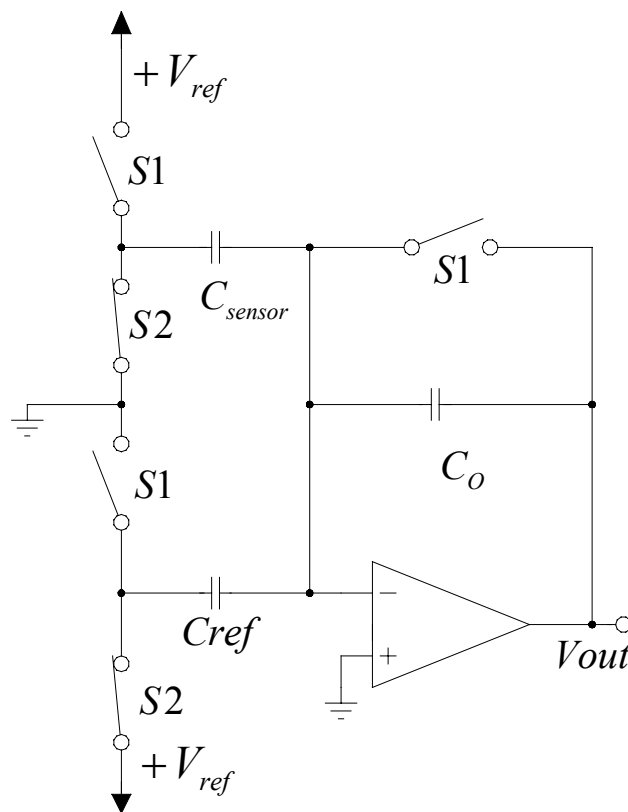


Figura 5.5 – Diagrama do circuito Capacitor Chaveado

Este circuito consiste de dois capacitores chaveados. As chaves S1 e S2 são controladas por sinais digitais de controle em anti-fase. Quando S1 é fechado e S2 aberto, C_{sensor} é carregado pela tensão de referência (V_{ref}), e o capacitor de realimentação, C_o , é descarregado. Neste estado o total de carga armazenada no capacitor sensor é dado por:

$$Q_1 = C_{sensor} V_{ref} \quad (5.9)$$

No próximo ciclo, S2 é fechado e S1 aberto, C_{ref} é carregado pela tensão de referência (V_{ref}), e a carga no capacitor de referência é dada por:

$$Q_2 = C_{ref} V_{ref} \quad (5.10)$$

Logo a diferença entre Q_1 e Q_2 será transferida para o capacitor integrador, que é dado por:

$$Q_1 - Q_2 = C_o V_{out} \quad (5.11)$$

Portanto a saída do circuito é dada por:

$$V_{out} = V_{ref} \frac{C_{sensor} - C_{ref}}{C_o} \quad (5.12)$$

O diagrama de tempo da operação da saída do circuito está representado na Figura 5.6.

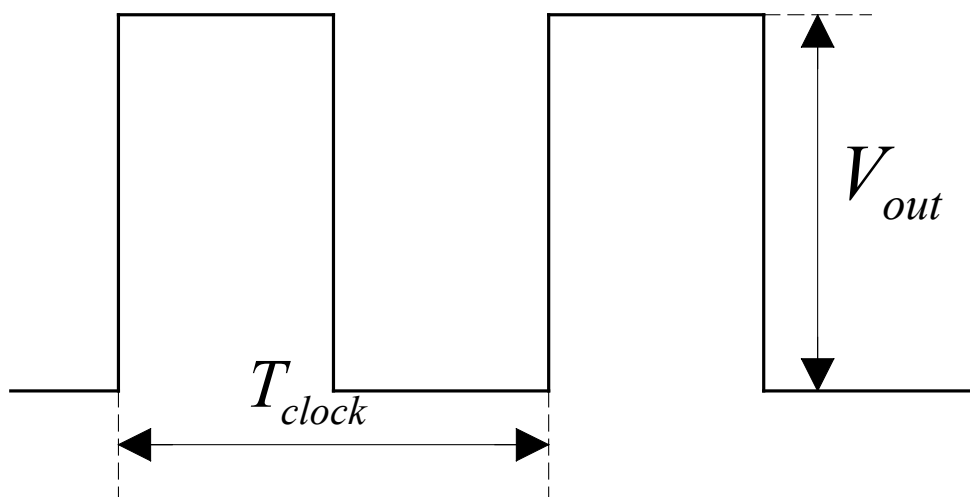


Figura 5.6 – Diagrama de tempo do circuito Capacitor Chaveado

Sendo que, o período T_{clock} está relacionado a frequência do sinal das chaves S1 e S2.

5.2.4 – Conversor Oscilador

Um circuito conversor baseado na técnica de oscilador é mostrado na Figura 5.7. Os transistores MN_1 e MN_2 formam um par cruzado o que assegura que somente uns dos transistores estará conduzindo e realimentando do oscilador. O par diferencial formado pelos transistores MN_3 e MN_4 atuam como chaves determinando a direção da carga no capacitor. A corrente que carrega o capacitor é fornecida pelos transistores MP_1 e MP_2 , no qual estão diretamente conectadas as fontes de corrente.

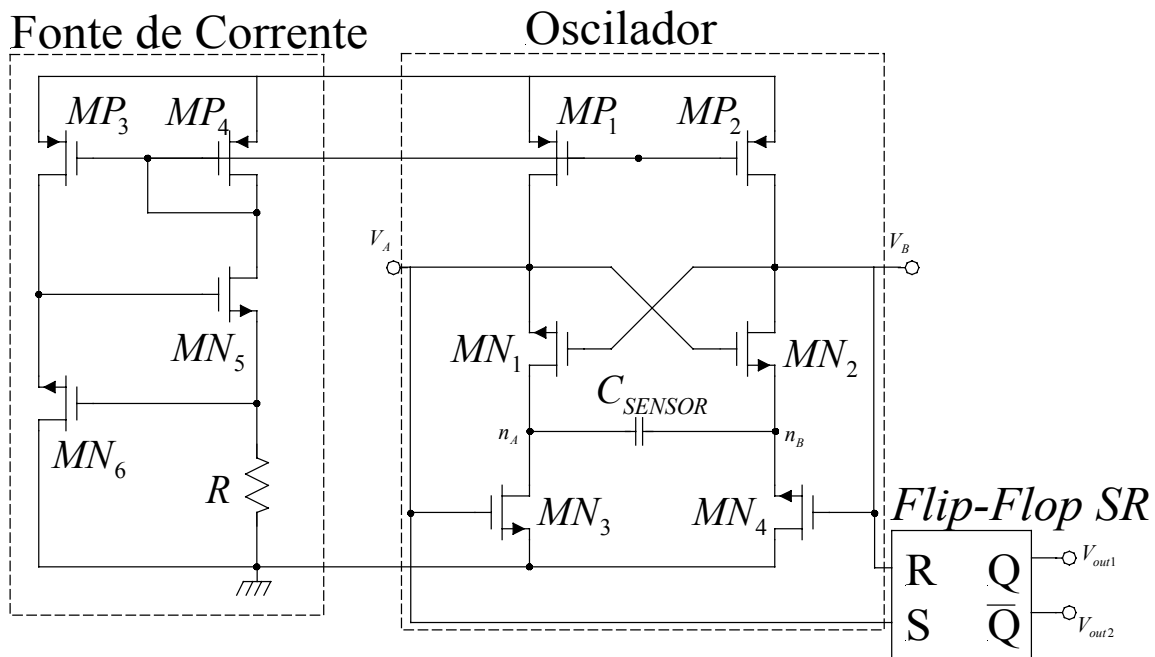


Figura 5.7– Diagrama do circuito Oscilador

Assumindo que o transistor MN_1 esteja conduzindo e o transistor MN_2 esteja cortado, observamos que a tensão no *gate* de MN_4 é maior do que o de MN_3 , fazendo com que a corrente que carrega o capacitor (C_{SENSOR}) passe pelos transistores MN_1 e MN_4 . Neste caso, a tensão n_B diminuirá até que o transistor MN_2 conduza e o transistor MN_1 entre em corte, neste momento a direção da corrente é invertida e o circuito entra no meio ciclo seguinte. Este estado é mantido até que a tensão em n_A decresça até o ponto em que MN_1 conduza novamente. Após este ciclo, MN_1 e MN_4 conduzem novamente e um novo ciclo se inicia.

Portanto, a saída do oscilador (V_A e V_B) não é ainda digital. Usando um *flip-flop* SR, implementado por blocos NAND, podemos obter formas de onda conforme mostramos na Figura 5.8.

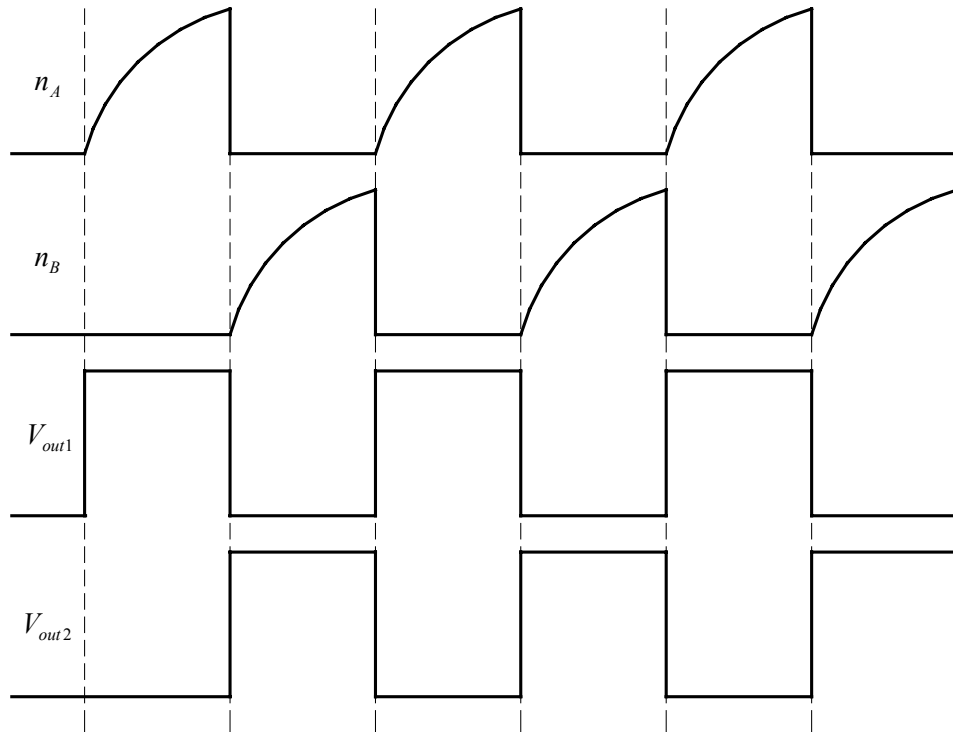


Figura 5.8 – Diagrama de tempo do circuito Oscilador

5.3 – Conclusão

Todos os quatro circuitos apresentados podem ser usados como circuitos condicionadores para sensores de umidade capacitiva. Denton *et al* [52] comparou o desempenho dos três primeiros circuitos e verificou que todos eles são lineares e tem uma rápida resposta no tempo, porém sua escolha se deve ao tipo de aplicação. Já DeHennis *et al* [51] utilizou o ultimo circuito em aplicações de micro-sistemas *wireless* obtendo uma rápida resposta no tempo.

O circuito PWM é mais apropriado para aplicações discretas, por ser de fácil uso e pela flexibilidade de projeto. Esta técnica é adequada quando os capacitores envolvidos são algumas ordens de grandezas maiores do que as capacitâncias parasitas inerentes do circuito.

O circuito de inclinação dupla é também mais apropriado em aplicações discretas. Esta técnica é adequada quando os capacitores envolvidos são algumas ordens de grandezas maiores do que as capacitâncias parasitas inerentes das chaves MOS. Este circuito tem como inconveniente a necessidade de uma hardware elaborado.

O circuito capacitor chaveado é mais apropriado em aplicações integradas devido à utilização de poucos componentes e possibilidade das chaves analógicas serem facilmente integráveis. Apesar das chaves apresentarem capacitâncias parasitas associadas, elas são bem menores do que apresentadas em componentes discretos. Portanto, utilizaremos este circuito como circuito conversor de sinal, para o sensor de umidade capacitivo. No capítulo 6 apresentaremos o seu desenvolvimento.

CAPÍTULO 6

AMPLIFICADOR OPERACIONAL

6.1 – Introdução

No capítulo anterior definimos o uso de um conversor baseado na técnica de transferência de carga para que possamos medir a variação da capacitância em função da variação da umidade relativa do ar. Para implementar o conversor é imprescindível o uso de um amplificador operacional e chaves analógicas.

Nesta etapa, desenvolveremos um amplificador operacional nMOS tipo enriquecimento. A tecnologia de fabricação, baseada em transistores MOSFET tipo n, oferece uma excelente relação custo×benefício. Circuitos MOS do tipo enriquecimento são fáceis de projetar e fabricar, somado ao fato que este processo necessita de poucas máscaras. Além do mais, este é um processo disponível pelo Centro de Componentes Semicondutores – CCS da UNICAMP.

Através de uma pesquisa literária, encontramos alguns trabalhos desenvolvidos sobre o amplificador operacional nMOS tipo enriquecimento dos quais podemos destacar as publicações de Tsividis *et al.* [53-54], Young *et al.* [55] e Enamoto *et al.* [56]. Para o nosso trabalho, utilizaremos como base as publicações de Tsividis em conjunto com a tecnologia de fabricação disponível no CCS (Apêndice C). Resultados de simulação SPICE serão apresentados através das

curvas de Bode (Módulo e Fase). Através da utilização do software MAGIC, projetamos o layout do amplificador operacional para posterior gravação das máscaras.

Em seguida apresentaremos o desenvolvimento do circuito capacitor chaveado integrado, aproveitando o amplificador operacional, com transistores nMOS sendo utilizados como chaves. Resultados de simulações realizadas em SPICE serão apresentados. O software MAGIC também foi utilizado no desenho das máscaras, para a fabricação microeletrônica, do circuito conversor.

6.2 – Amplificador Operacional

6.2.1 – Características do projeto nMOS

A Figura 6.1 apresenta um amplificador operacional, totalmente nMOS, com carga enriquecida. Observe que, embora o transistor de carga M_1 opere na saturação o tempo todo, o transistor M_2 poderá operar no corte, na saturação ou na região de triodo. Supondo que M_2 esteja polarizado de tal forma a operar na região de saturação, e aplicando a análise de pequenos sinais, o ganho de tensão deste amplificador, desprezando o efeito de corpo nos transistores, pode ser descrito como [57]:

$$A_V = \frac{v_{out}}{v_{in}} = -g_{m2}r_{s1} \quad (6.1)$$

Sendo que, r_{s1} é a resistência de saída de M_1 vista através da fonte (*source*) e g_{m2} é a transcondutância do transistor MOS na região de saturação, portanto, através do circuito do modelo para pequenos sinais, equivalente T, sabemos que:

$$r_{s1} = \frac{1}{g_{m1}} \quad \text{e} \quad g_{m2} = 2\sqrt{\mu C_{OX} \left(\frac{W}{L}\right) I_D} \quad (6.2)$$

Considerando que ambos os transistores estejam operando com a mesma corrente I_D . O ganho de tensão deste amplificador será:

$$A_V = \frac{v_{out}}{v_{in}} = -\sqrt{\frac{(W/L)_2}{(W/L)_1}} \quad (6.3)$$

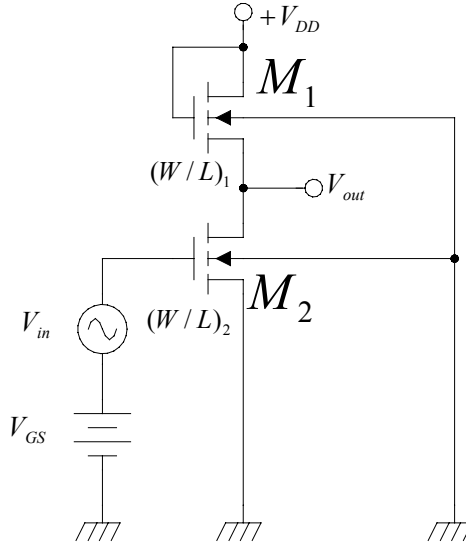


Figura 6.1 – nMOs em estágio inversor com carga ativa

Portanto, o ganho é determinado pela geometria dos dois dispositivos. Para obter ganhos relativamente grandes, o transistor M_2 é feito curto e largo, e o transistor M_1 é feito longo e estreito. Apesar dessas possibilidades, na prática é muito difícil implementar ganhos acima de 10.

Por outro lado, uma vez que a fonte de M_1 não está aterrado, o efeito de corpo influenciará a operação de M_2 . Utilizando o modelo equivalente para pequenos sinais, pode ser mostrado que se o efeito de corpo for levado em consideração, desprezando r_{o1} e r_{o2} , a expressão do ganho será modificada para:

$$A_V = \frac{v_{out}}{v_{in}} = -\sqrt{\frac{(W/L)_2}{(W/L)_1}} \frac{1}{1 + \lambda_{B1}} \quad (6.4)$$

$$\lambda_{B1} = \frac{g_{mB1}}{g_{m1}} = \frac{1}{2C_{OX}} \sqrt{\frac{2q\epsilon_s N_A}{2\phi_F + V_{SB}}} \quad (6.5)$$

$$\alpha_{B1} = \frac{1}{1 + \lambda_{B1}} \quad (6.6)$$

Sendo que, C_{OX} é a capacitância do óxido, q é a carga do elétron ($1,6 \times 10^{-19}$ C), ϵ_s é a constante dielétrica do silício, N_A é a concentração de impurezas no substrato, ϕ_F é o nível de Fermi ($\sim 0,3$ V), V_{SB} é a tensão fonte-substrato (*source-bulk*) e g_{mB1} é a transcondutância do corpo definida como: $g_{mB1} = \frac{\partial i_D}{\partial V_{SB}}$, para $V_{GS} = V_{DS} = \text{constante}$.

O efeito de corpo poderá reduzir o ganho máximo em torno de 20%. Notamos que além deste ganho ser baixo, ele é também independente da corrente de polarização. O amplificador com carga enriquecida tem uma outra característica importante: sua excursão máxima de sinal é bastante limitada, uma vez que V_{out} não pode ser menor que $(V_{DD} - V_t)$.

6.2.2 – Par Diferencial de Entrada

A Figura 6.2 mostra um par diferencial nMOS polarizado com corrente constante I_{SS} .

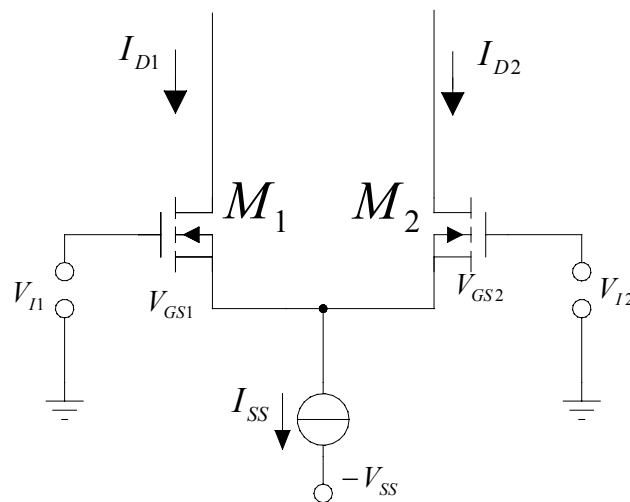


Figura 6.2 – Par diferencial de entrada nMOS

Assumindo que M_1 e M_2 estejam “casados” (W/L iguais), então as correntes I_{D1} e I_{D2} serão dadas por:

$$I_{D1} = \frac{\mu_s C_{OX}}{2} \left(\frac{W}{L} \right) (V_{GS1} - V_t)^2 \quad \text{e} \quad I_{D2} = \frac{\mu_s C_{OX}}{2} \left(\frac{W}{L} \right) (V_{GS2} - V_t)^2 \quad (6.7)$$

Subtraindo as tensões de entrada, obtemos:

$$\Delta V_I = V_{I1} - V_{I2} = V_{GS1} - V_{GS2} \quad (6.8)$$

Devido a diferença de V_{GS1} e V_{GS2} , aparecerá uma corrente diferencial dada por:

$$\Delta I_D = I_{D1} - I_{D2} \quad (6.9)$$

Substituindo as correntes correspondentes, e desprezando o efeito de corpo, chega-se a seguinte equação [57]:

$$\Delta I_D \approx \Delta V_I K \sqrt{\frac{2I_{ss}}{K} - (\Delta V_I)^2}, \text{ sendo que } K = \left(\frac{\mu_s C_{OX}}{2} \right) \left(\frac{W}{L} \right) \quad (6.10)$$

A limitação do comportamento do par diferencial MOS é muito similar ao estágio diferencial bipolar. Entretanto, a faixa de operação linear é maior, sendo determinado pelo valor da corrente de polarização I_{ss} e pela razão da área do dispositivo W/L . Note que aumentando I_{ss} , aumenta a região linear de transferência, visto que aumentando a razão W/L ocorrerá o oposto. A região de operação linear está tipicamente na faixa de várias centenas de mili-volts a vários volts, dependendo da área e da corrente de polarização.

A transcondutância, G_m , do par diferencial pode ser encontrado derivando a Equação 6.10, logo:

$$G_m = \frac{\partial(\Delta I_D)}{\partial(\Delta V_I)} = I_{ss} (\mu_s C_{OX}) \left(\frac{W}{L} \right) \quad \text{ou} \quad G_m = g_{m1} = g_{m2} \quad (6.11)$$

Portanto, a transcondutância do estágio diferencial MOS é igual a transcondutância de M_1 e M_2 , exatamente como no caso do estágio diferencial baseado em transistores bipolares.

A Figura 6.3 mostra um par diferencial (M_6 e M_9), com carga ativa (M_5 e M_8) e fonte de corrente (M_7) implementado com transistores nMOS.

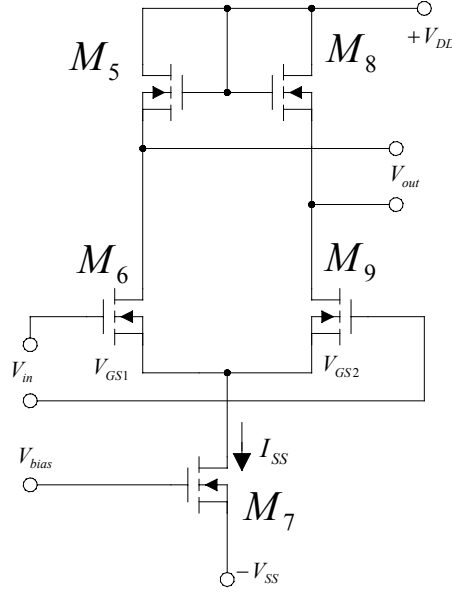


Figura 6.3 – Estágio diferencial nMOS com carga ativa

Assumindo que $(W/L)_6 = (W/L)_9$, $(W/L)_5 = (W/L)_8$ e desprezando o efeito de corpo, o ganho do estágio diferencial A_{dm} é dado por:

$$A_{dm} = \frac{v_{out}}{v_{in}} = -\alpha_{B5} \frac{g_{m6}}{g_{m5}} = -\alpha_{B5} \sqrt{\frac{(W/L)_6}{(W/L)_5}} \quad (6.12)$$

Usando metade do circuito, o ganho de modo comum A_{cm} é dado por [57]:

$$A_{cm} = \frac{\alpha_{B6} \alpha_{B5}}{2r_{o7} g_{m5}} \quad (6.13)$$

E a razão de rejeição por modo comum, CMRR, será [57]:

$$\text{CMRR} = \frac{A_{dm}}{A_{cm}} = \frac{2g_{m6} r_{o7}}{\alpha_{B6}} \quad (6.14)$$

Para obter um baixo ganho em modo comum, portanto uma alta CMRR, a fonte de corrente de polarização deve ser projetada para ter uma resistência de saída, r_{o7} , elevada. Isto é feito através de um longo canal em M_7 , ou usando uma fonte de corrente cascode ou um espelho de corrente de Wilson.

6.2.3 – Conversor de Entrada Diferencial em Saída Única

A Figura 6.4 mostra um circuito conversor com saída única. Este circuito converte a saída do par diferencial em uma única saída. As saídas do par diferencial, do estágio de entrada, são aplicadas no *gate* de M_3 e M_{10} conforme mostrado na Figura 6.4.

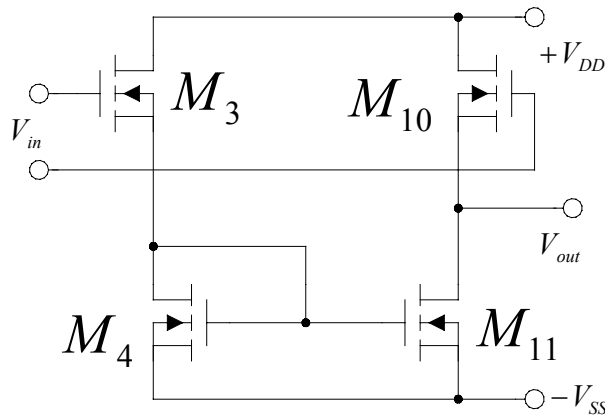


Figura 6.4 – Conversor nMOS de entrada diferencial em Saída Única

O sinal aplicado ao *gate* de M_3 tem a fase complementar comparado ao sinal aplicado ao *gate* de M_{10} . O sinal inversor entra através de M_3 , cuja carga é o M_4 e é espelhado em M_{11} . O sinal não inversor entra através de M_{10} atuando com configuração de seguidor de fonte, sendo que M_{11} atua como carga para M_{10} . O ganho deste estágio é dado por [50]:

$$A_{dm} = \frac{v_{out}}{v_{in}} = \frac{g_{m10}r_{o11}}{2(1 + g_{m10}r_{o11})} = \left[1 + \frac{g_{m3}g_{m11}}{g_{m10}(g_{m3} + g_{m4})} \right] \quad (6.15)$$

Portanto, considerando que todos os dispositivos tenham a mesma geometria, através da Equação 6.15, obtém-se um ganho de aproximadamente 0,5. Para aumentar o valor do ganho, deveremos aumentar a área de M_{11} , resultando no aumento da transcondutância de g_{m11} .

O ganho em modo-comum será dado por [53]:

$$A_{dm} = \frac{v_{out}}{v_{in}} = \frac{g_{m10}r_{o11}}{1 + g_{m10}r_{o11}} = \left[1 - \frac{g_{m3}g_{m11}}{g_{m10}(g_{m3} + g_{m4})} \right] \quad (6.16)$$

6.2.4 – Estágio Cascode

A Figura 6.5 mostra o Estágio Cascode cuja configuração é usada para reduzir a Capacitância de efeito Miller que é refletida para o *gate* de M_{19} .

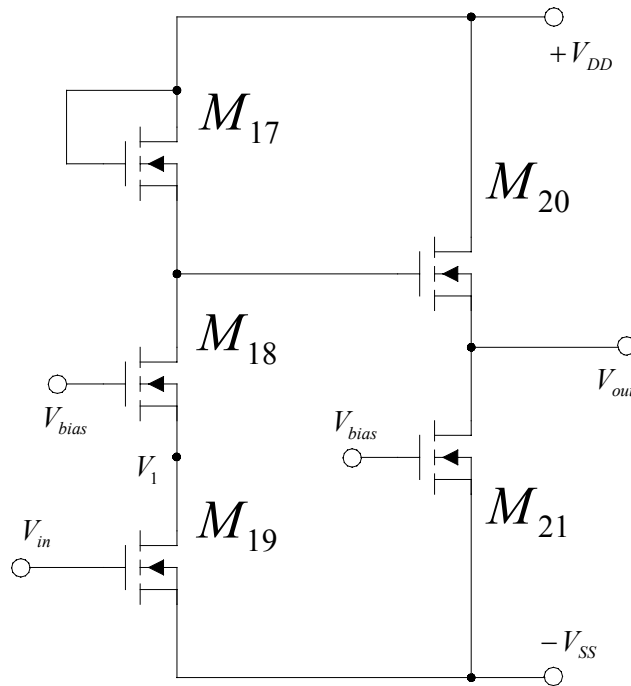


Figura 6.5 – Estágio Cascode

No transistor M_{19} , as capacitâncias associadas a ele são [58]:

$$C_{in} = C_{gs19} + C_{gd19} \left(1 + \frac{g_{m19}}{C_{db19} + C_{gs18} + C_{sb18}} \right) \quad (6.17)$$

Sendo que, C_{in} é a capacitância refletida do transistor M_{19} , denominada de Capacitância de efeito Miller. Esta capacitância afeta diretamente a resposta do circuito em altas frequências. Desprezando o efeito de corpo nos transistores, o ganho do estágio cascode, mostrada Figura 6.5, serão [54]:

$$\frac{V_1}{V_{in}} = -\frac{g_{m19}}{g_{m18}} \quad \text{e} \quad \frac{V_{out}}{V_1} = -\frac{g_{m18}}{g_{m17}} \quad (6.19)$$

$$\frac{V_1}{V_{in}} \times \frac{V_{out}}{V_1} = \left(-\frac{g_{m19}}{g_{m18}} \right) \times \left(-\frac{g_{m18}}{g_{m17}} \right) \Rightarrow \frac{V_{out}}{V_{in}} = \frac{g_{m19}}{g_{m17}} \quad (6.20)$$

Como o efeito Miller está no transistor M_{19} , ajustamos os transistores M_{18} e M_{19} para serem do mesmo tamanho, e assim, diminuimos a capacitância de efeito Miller. Ao passo que, ajustamos o transistor M_{17} fornecer o ganho neste estágio, conforme vemos na Equação 6.20.

6.2.5 – Estágio de Saída

A Figura 6.6 mostra a configuração de estágio de saída com realimentação para reduzir a resistência de saída. Esta realimentação é feita através do gate de M_{22} .

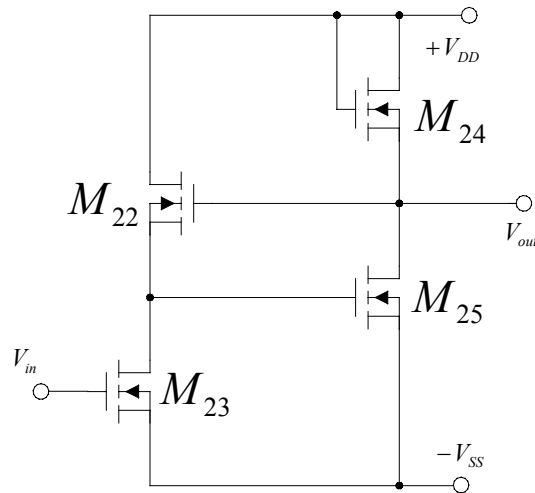


Figura 6.6 – Estágio de Saída

Desconsiderando o efeito de corpo, o ganho e a resistência de saída deste estágio pode ser descrito como [50]:

$$A_{dm} = \frac{g_{m23}}{g_{m22}} \left(\frac{g_{m25} / g_{m24}}{1 + g_{m25} / g_{m24}} \right) \quad (6.21)$$

6.2.6 – Amplificador Completo

A Figura 6.7 apresenta o esquemático do Amplificador Operacional, com suas respectivas áreas (W/L) indicadas ao lado dos transistores. Este esquemático consiste, além dos estágios individuais apresentados anteriormente, de dois divisores de tensão formados por M_1 , M_2 e M_{14} , M_{15} , M_{16} , no qual serão usados como fontes de corrente de polarização para o estágio de entrada (M_7) e para o estágio cascode (M_{21}).

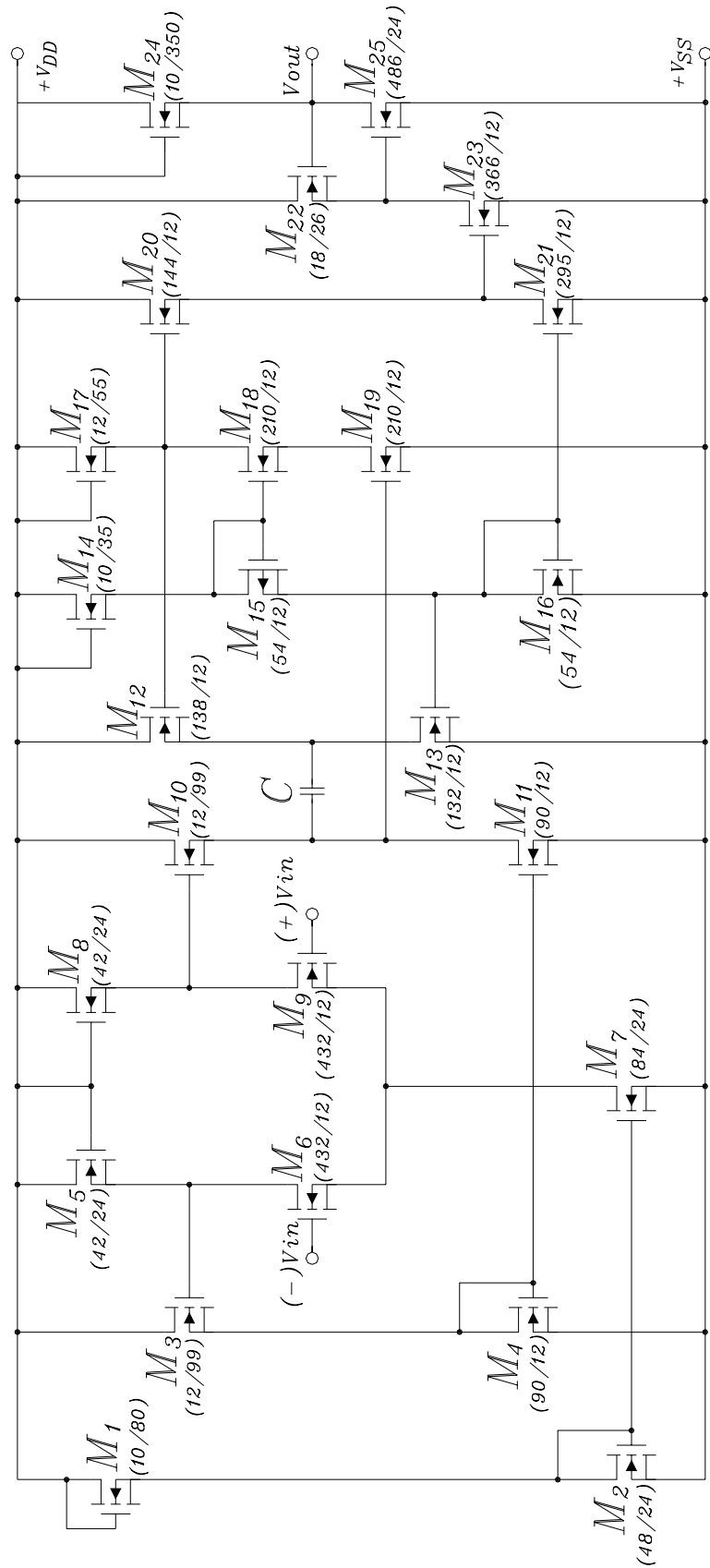


Figura 6.7 – Esquemático do Amplificador Operacional

6.2.7 – Análise de Estabilidade

A complexa estrutura de um amplificador operacional, apresenta uma função de transferência onde não é rara a presença de pelo menos dois pólos dominantes situados num intervalo de duas décadas de frequência. Assim sendo, ao ser estabelecido um ganho em malha fechada em qualquer configuração de realimentação negativa, é grande a probabilidade de violação do critério de estabilidade do sistema, ou seja, acarretando em oscilação indesejada.

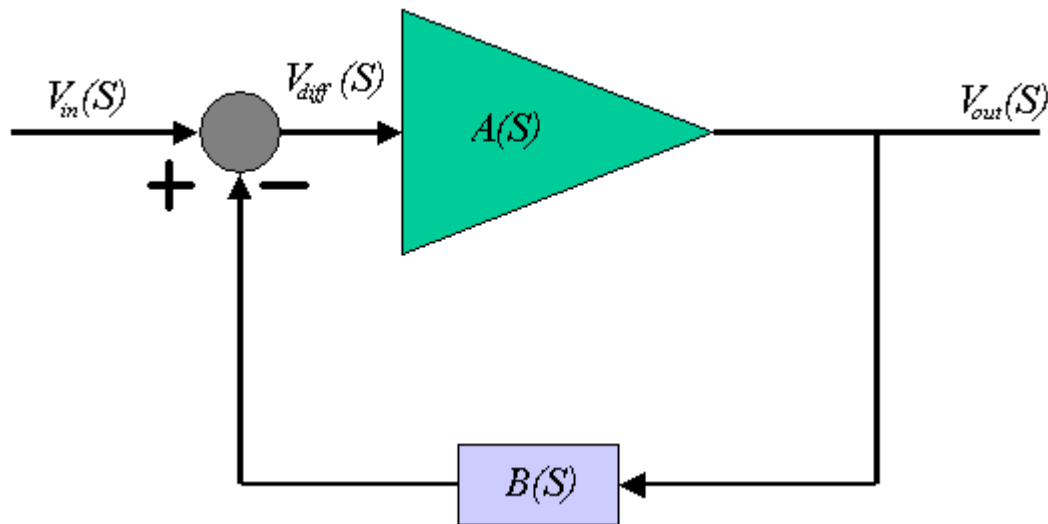


Figura 6.8 – Diagrama de bloco que representa um amplificador operacional realimentado

A Figura 6.8 mostra um diagrama de blocos de um amplificador operacional realimentado. Neste caso, considerando que o ganho do amplificador em malha aberta seja $A(S)$, sendo que este ganho é dependente da frequência devido as capacitâncias parasitas dos dispositivos semicondutores, podemos fazer a seguinte análise:

$$V_{out}(S) = A(S)V_{diff}(S) \quad (6.22)$$

$$V_{diff}(S) = V_{in}(S) + B(S)V_{out}(S) \quad (6.23)$$

Sendo que, $B(S)$ é o fator de realimentação, também dependente da frequência.

Substituindo a Eq. 6.23 em 6.22, resulta em:

$$V_{out}(S) = A(S)[V_{in}(S) + A(S)V_{out}(S)] \quad (6.24)$$

Portanto

$$H(S) = \frac{V_{out}(S)}{V_{in}(S)} = \frac{A(S)}{1 + A(S)B(S)} \quad (6.25)$$

Pela teoria de controle e servomecanismo, um sistema se torna instável se o denominador de $H(S)$ for nulo. Portanto a condição de instabilidade é satisfeita quando:

$$|A(f)B(f)| = 1 \text{ e } \phi(f) = 180^\circ \quad (6.26)$$

Através do resultado concluímos que ao aplicarmos um sinal com uma certa frequência, este aparecerá na saída com mesma amplitude, porém com a fase deslocada em 180° . Se este sinal (V_{out}) for realimentado conforme representação da Figura 6.8, o deslocamento da fase de 180° sofrido pelo sinal, cancela o efeito do bloco de subtração e V_{in} é somado (sobreposto) a V_{out} e conseqüentemente aumentando V_{diff} . O sinal V_{diff} é amplificado gerando um novo V_{out} maior do que o anterior. Novamente, este novo V_{out} é realimentado e mais uma vez somado a V_{in} , gerando um outro V_{out} com amplitude ainda maior. Portanto, a cada ciclo de realimentação, a amplitude de V_{out} aumenta, levando o dispositivo a uma condição de oscilação, na maioria das vezes indesejada. Quando isso acontece, diz-se que o sistema está sob realimentação positiva. Desta forma, pode-se generalizar dizendo que o amplificador operacional será instável, para uma dada frequência se:

$$|A(f)B(f)| \geq 1 \text{ e } \phi(f) = 180^\circ \quad (6.27)$$

Por outro lado, se considerarmos que V_{diff} seja atenuado ao invés de amplificado, mesmo com a variação de fase de 180° , V_{out} se estabilizará em um valor de amplitude e a oscilação não acontecerá. Desta forma, pode-se generalizar dizendo que o amplificador operacional será estável, para uma dada frequência se:

$$|A(f)B(f)| < 1 \text{ e } \phi(f) = 180^\circ \quad (6.28)$$

Como nosso objetivo, é um amplificador que seja estável sob qualquer configuração de realimentação negativa ao longo de sua frequência de trabalho, introduzimos um novo pólo, em uma frequência suficientemente baixa, que cause um deslocamento de fase de no máximo de -90° . A introdução desse novo pólo é o que denominamos de técnica de compensação em frequência do circuito.

A técnica de compensação em frequência do circuito é feita acoplando uma capacitância C , através da compensação Miller no estágio cascode. Na Figura 6.9 apresentamos o resultado da simulação SPICE, através da curva de Bode do amplificador operacional com ganho de 45 dB, onde podemos observar a influência causada pela inserção de um capacitor no valor de 45 pF.

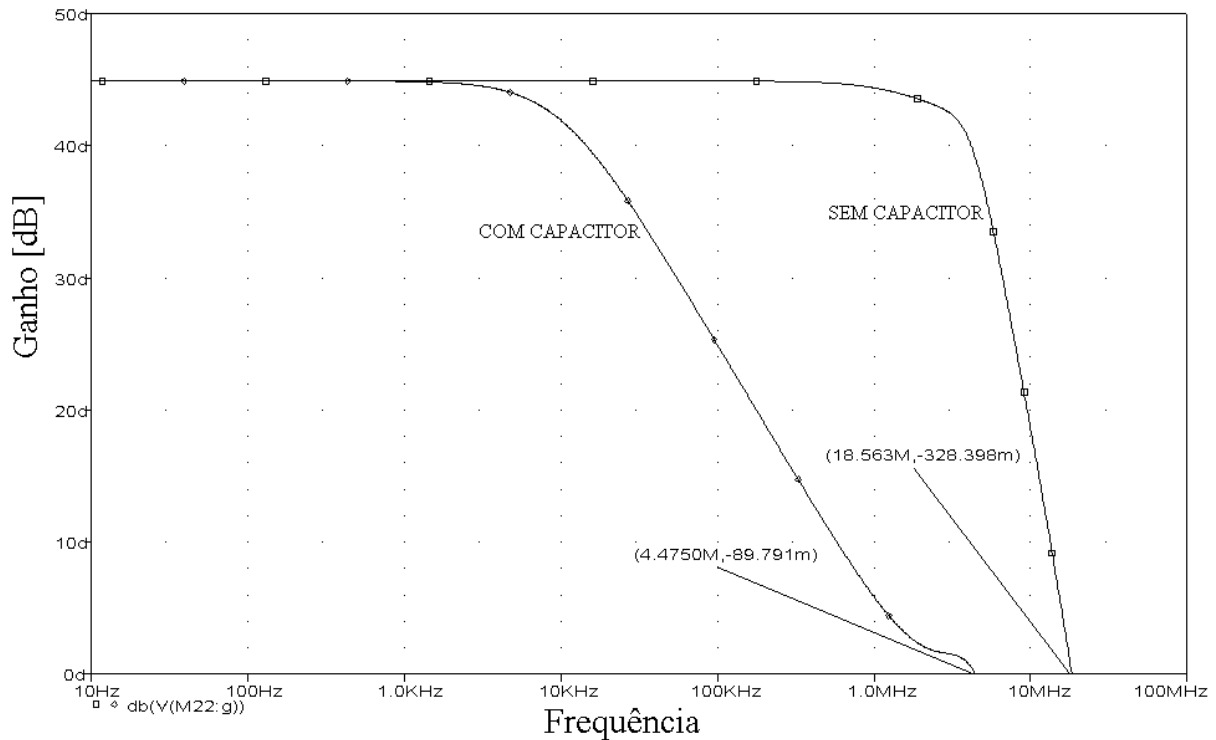


Figura 6.9 – Curva de Bode do Amplificador Operacional com e sem o Capacitor de Compensação

Através da Figura 6.10, podemos ver mais claramente o deslocamento de fase de aproximadamente -90° devido a inserção do capacitor de compensação.

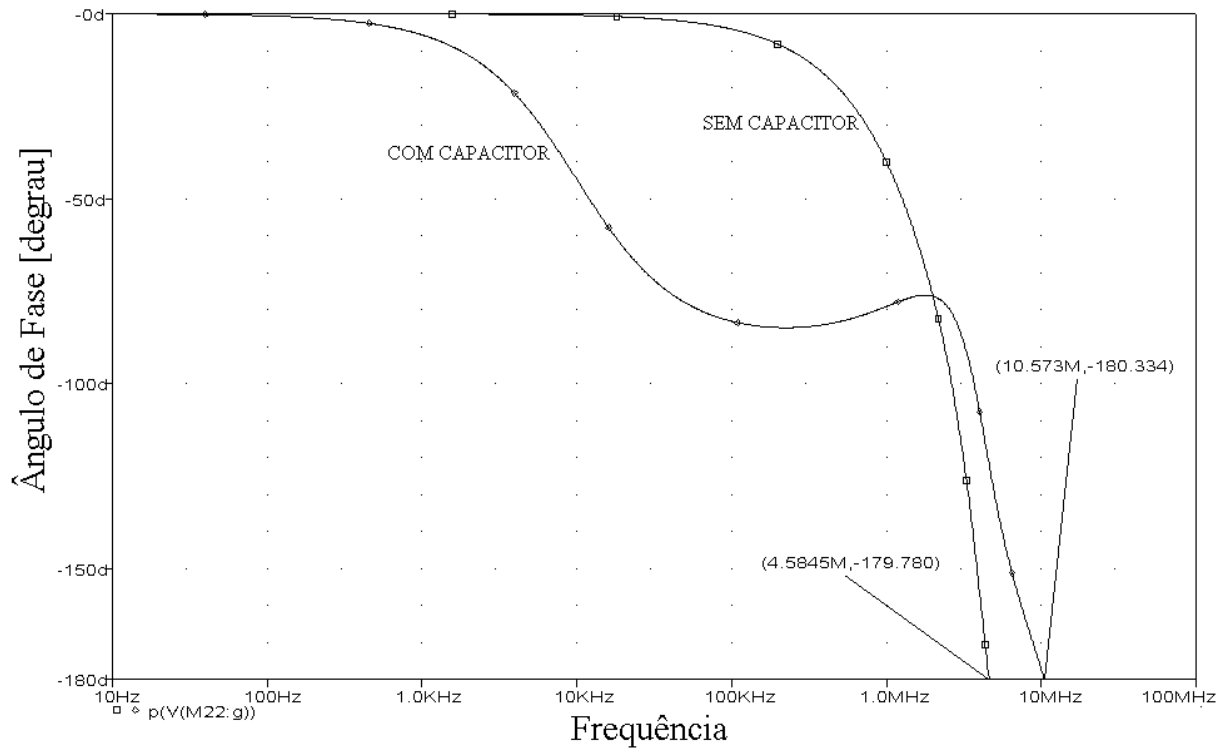


Figura 6.10 – Curva de Fase do Amplificador Operacional com e sem o Capacitor de Compensação

Na Figura 6.11 podemos observar que através da inserção do capacitor de compensação obtemos uma margem de aproximadamente 60° .

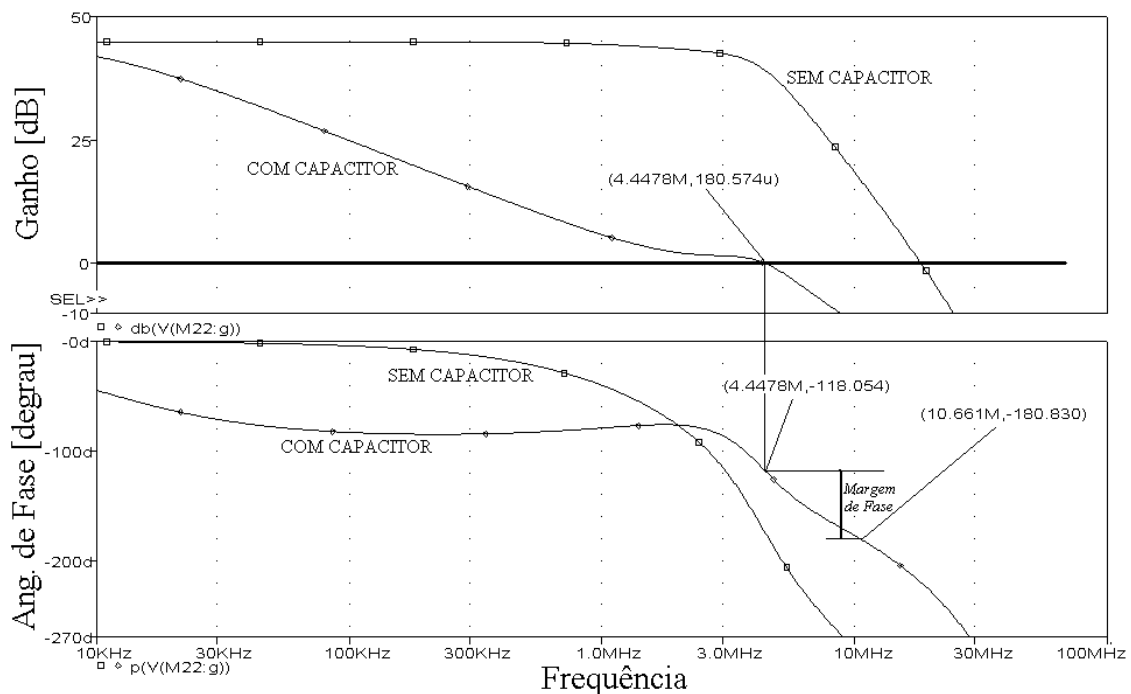


Figura 6.11 – Curva de Bode e de Fase indicando a margem de fase

6.2.8 – Circuito integrado

O layout do amplificador operacional, mostrado na Figura 6.12, foi realizado utilizando-se da ferramenta computacional MAGIC, e regras de projeto CCS-ED01 nMOS E/D (Apêndice C). Este circuito, incluindo os *bond-pads*, tem área de 1.60 mm×3.00 mm.

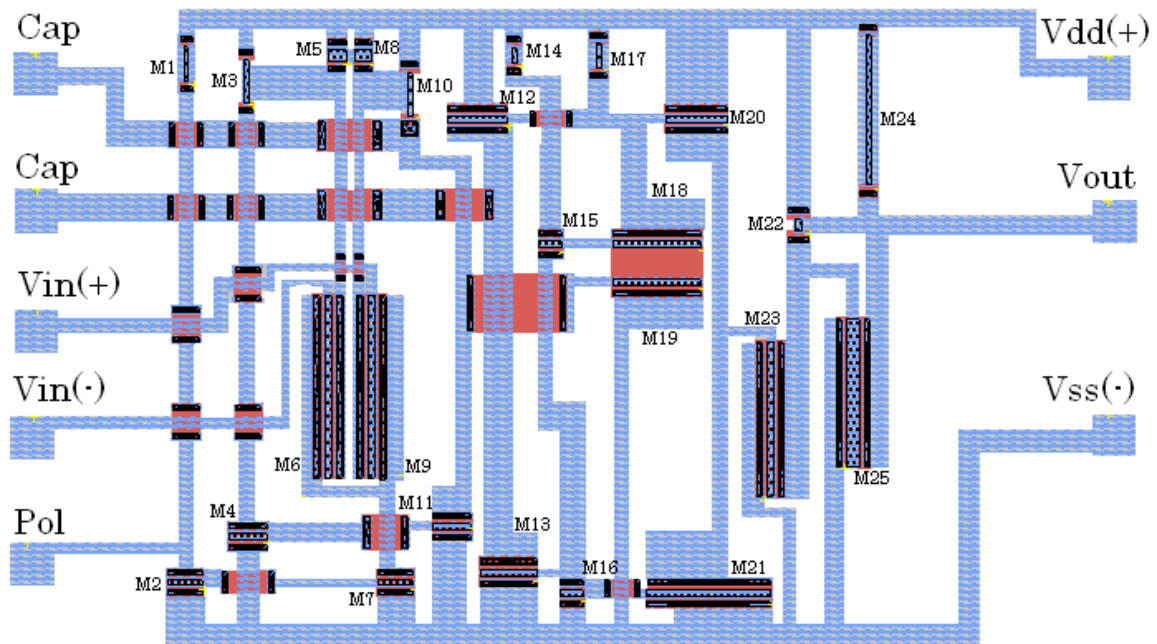


Figura 6.12 – Layout do circuito integrado do amplificador operacional

6.3 – Circuito Conversor baseado na técnica do Capacitor Chaveado Integrado

No capítulo 5, apresentamos o princípio de operação, do circuito conversor baseado na técnica do capacitor chaveado. A partir do diagrama do circuito Capacitor Chaveado, mostrado na Figura 5.5, apresentaremos na Figura 6.13 o esquemático do circuito onde as chaves nMOS estão incluídas ao circuito amplificador operacional apresentado anteriormente.

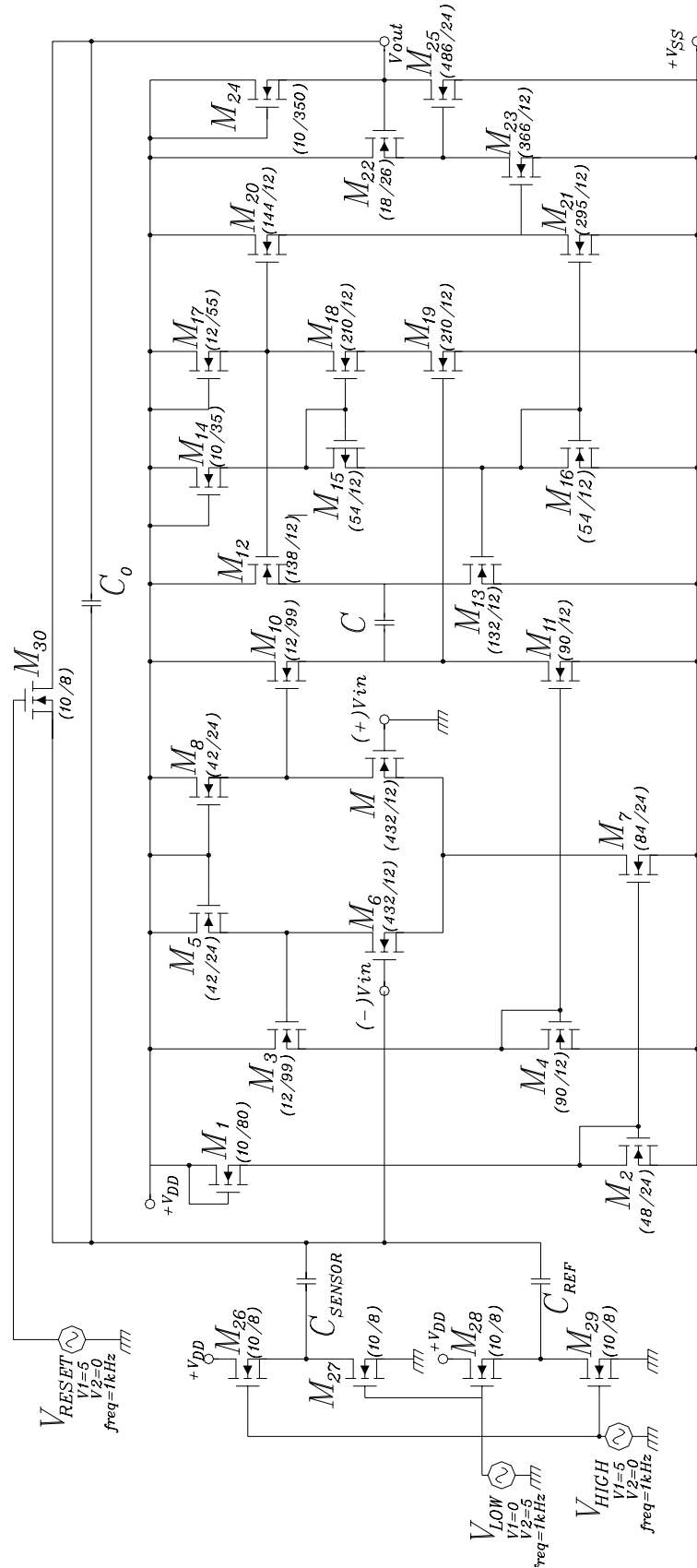


Figura 6.13 – Esquemático do Circuito Capacitor Chaveado

6.3.1 – Chaves analógicas nMOS

Na Figura 6.14, apresentamos uma chave analógica implementada por um transistor nMOS tipo enriquecimento controlada por tensão.

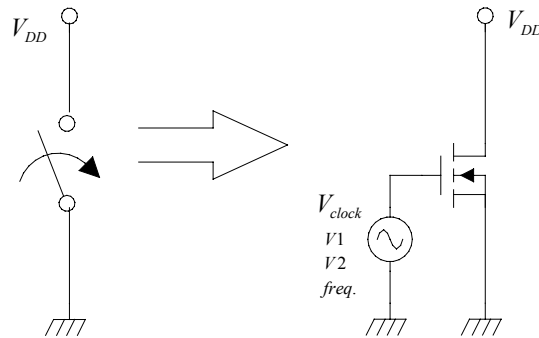


Figura 6.14 – Representação de uma chave analógica nMOS tipo enriquecimento

Neste tipo de aplicação, a tensão empregada na porta do transistor nMOS pode fazê-lo entrar em forte condução ou colocá-lo na situação de corte. Na situação de corte, o transistor pode ser interpretado como uma chave aberta entre o dreno e fonte, ao passo que, na situação de condução, o transistor pode ser interpretado como uma chave fechada entre o dreno e fonte.

Na Figura 6.15 apresentamos, através de simulação SPICE, a variação da saída (V_{out}) em função da variação do sensor de umidade capacitivo (C_{SENSOR}) para diferentes valores de capacitância. Na simulação consideremos $C_O = C_{REF} = 300$ pF, $C_{SENSOR1} = 300$ pF, $C_{SENSOR2} = 400$ pF, $C_{SENSOR3} = 500$ pF e frequência de chaveamento de 500 Hz.

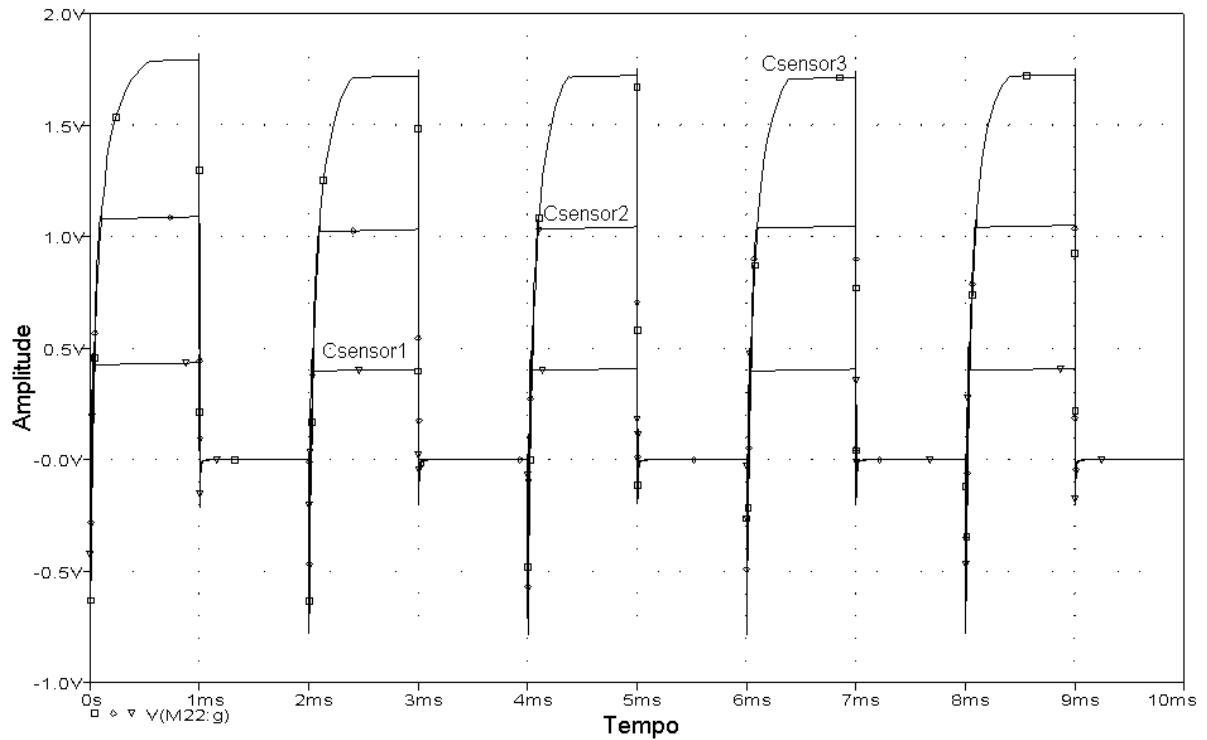


Figura 6.15 – Variação da tensão de saída em função da capacitância do sensor de umidade

6.3.2 – Circuito Integrado

Utilizando-se da mesma ferramenta computacional, MAGIC, e da mesma regra de projeto utilizada no amplificador operacional, desenvolvemos o layout do circuito capacitor chaveado com uma área, incluindo os *bond-pads*, de 2.40 mm×3.00 mm. O layout do circuito integrado é mostrado na Figura 6.16.

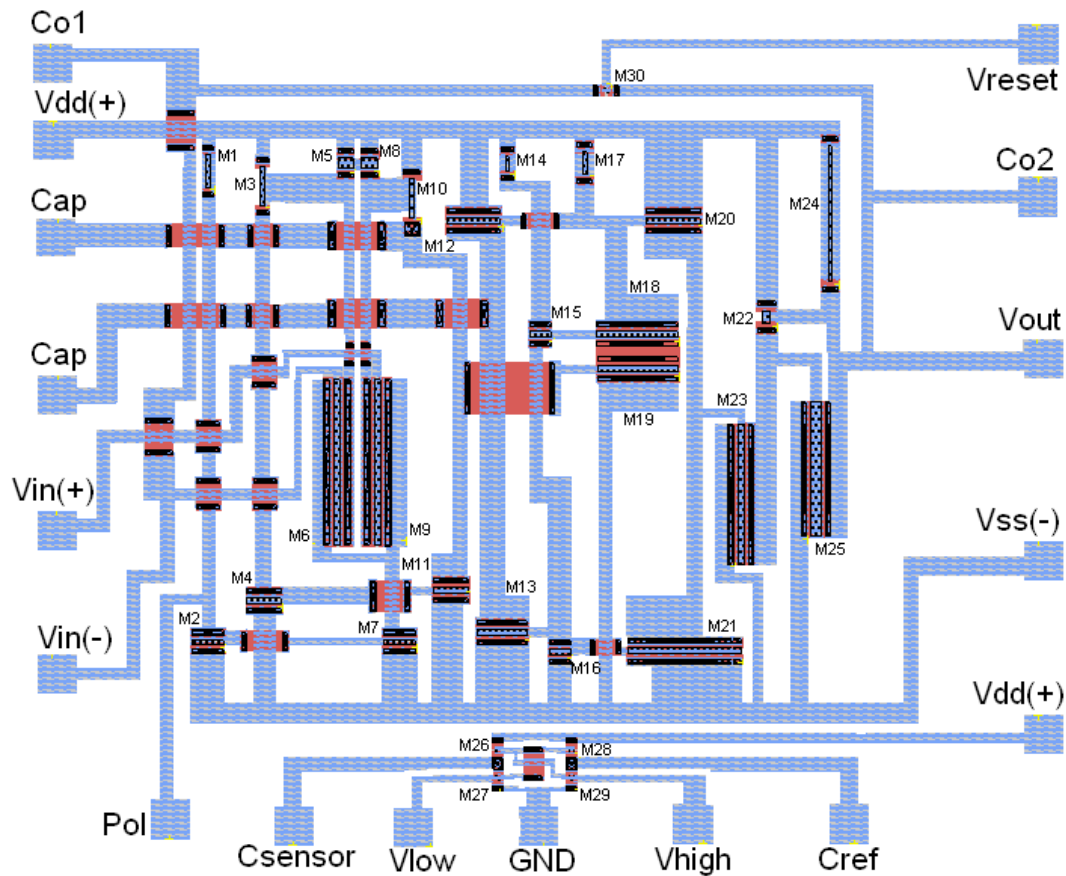


Figura 6.16 – Layout do circuito integrado do circuito Capacitor Chaveado

6.4 – Projeto Multi-Usuário

O Projeto Multi-Usuário – PMU, envolve projetos de outros pesquisadores em uma mesma máscara de fabricação. O layout deste projeto foi finalizado em setembro de 2004. Atualmente, a fabricação do amplificador operacional e do circuito capacitor chaveado está inserido no projeto PMU-CCS aguardando fabricação. Na Figura 6.17 podemos observar o layout final das máscaras enviadas ao CCS.

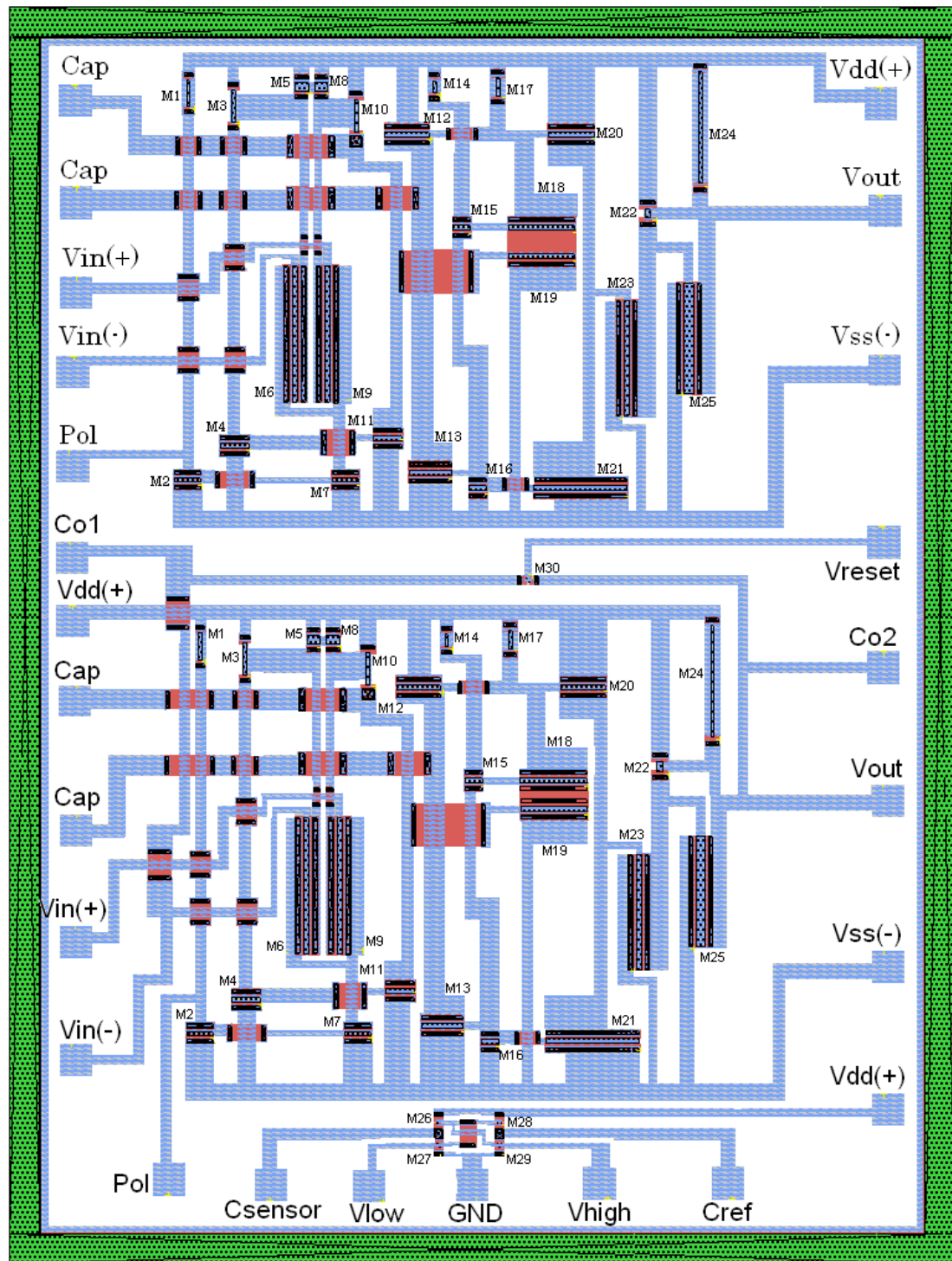


Figura 6.17 – Layout final contendo o Amplificador Operacional e o Capacitor Chaveado

CAPÍTULO 7

RESULTADOS EXPERIMENTAIS E DISCUSSÃO

7.1 – Introdução

No capítulo anterior apresentamos o projeto do circuito conversor, carga em tensão, baseado na técnica conhecida por capacitor chaveado. Este projeto focou a implementação microeletrônica deste circuito. A tecnologia utilizada foi a nMOS disponibilizada através de rodadas multi-usuário através do Centro de Componentes Semicondutores da Unicamp. Entretanto devido a problemas em algumas etapas do processo de fabricação, este circuito não ficou pronto a tempo de ser testado experimentalmente. Desta forma optamos por realizar os testes do sensor de umidade capacitivo, mostrado no capítulo 3, através de um circuito conversor capacitor chaveado construído através de componentes discretos.

Neste capítulo apresentamos a caracterização experimental do sensor de umidade com circuito conversor discreto, através das características de sensibilidade, histerese e deriva térmica.

7.2 – Circuito discreto

O esquemático do circuito conversor baseado em componentes discretos é mostrado na Figura 7.1. Este circuito possui cinco chaves analógicas (HC4066) e um amplificador operacional (LT1077), todos em versão SMD. Apesar de não estar indicado neste esquemático, o circuito

discreto conta também com um sensor de temperatura (LM335). Desta forma denominaremos esta montagem de sistema-sensor discreto. Projetamos também uma conexão denominada de C_{PAR} , paralela ao sensor de umidade, afim de possibilitar o uso do sistema para sensores de umidade de baixo valores de capacitância.

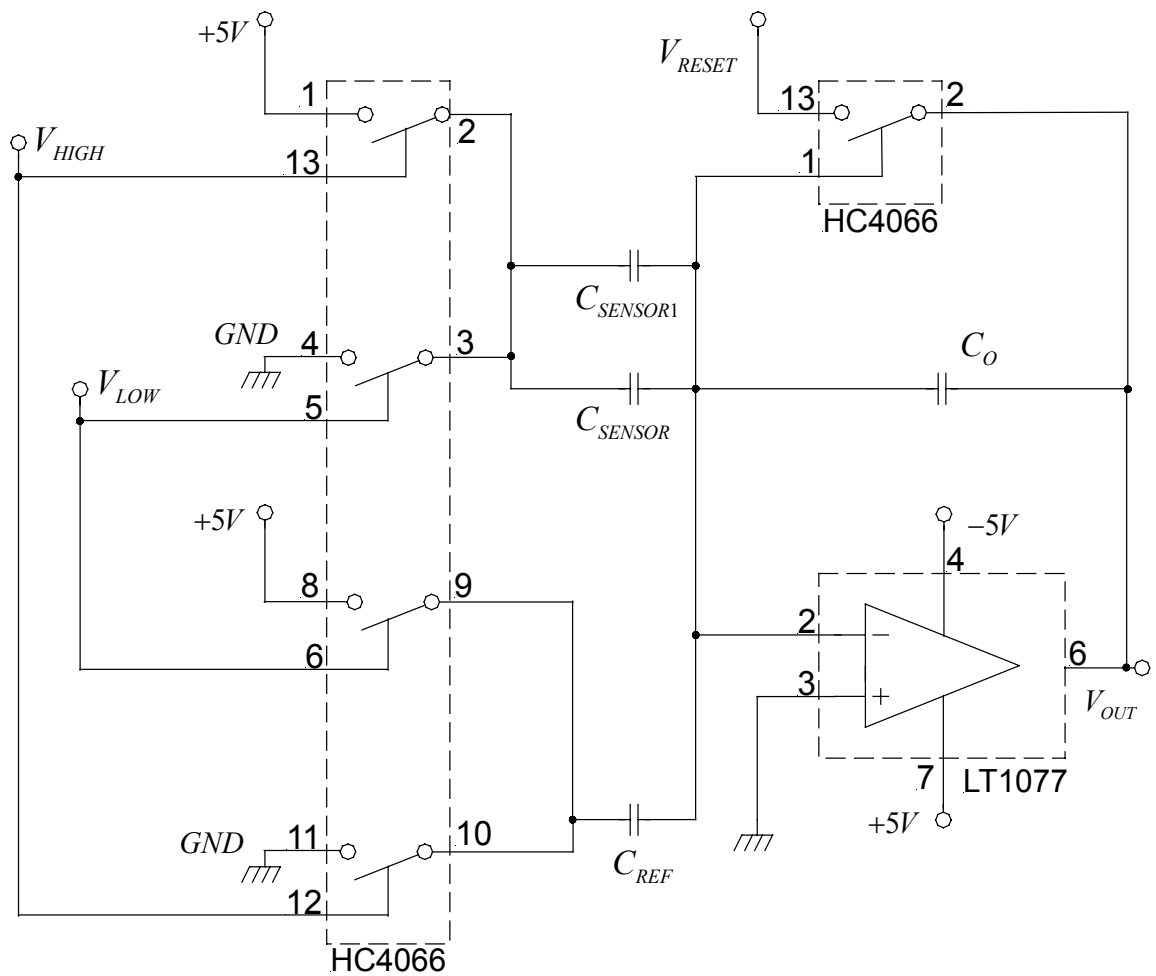


Figura 7.1 – Esquemático do sistema sensor discreto

O programa Eagle versão 4.11 foi usado para a confecção da placa de circuito impresso (PCI) do sistema sensor em sua versão discreta. O layout da PCI é mostrado na Figura 7.2. Esta placa foi fabricada em fenolite com metalização em face única com dimensões de 45mm × 45mm.

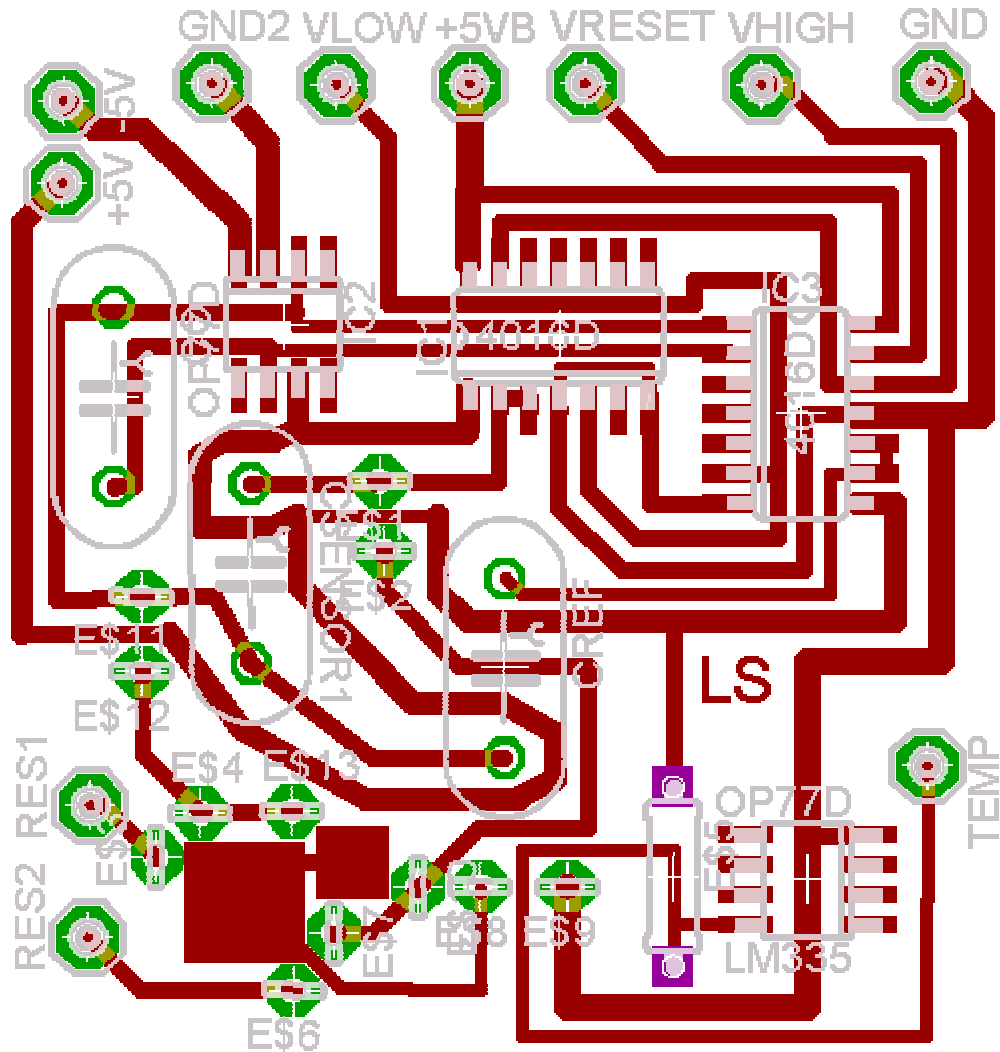


Figura 7.2 – Layout final da placa de circuito impresso

Como descrito no capítulo 5, as chaves são controladas por sinais digitais de controle complementares, V_{LOW} e V_{HIGH} . Estas chaves foram implementadas usando dois amplificadores operacionais em malha aberta, alimentados por uma tensão de 0 a 5V, colocando uma fonte de sinal senoidal (Freq.=1kHz, Ampl.=1V) na entrada inversora de um dos amplificadores e na entrada não inversora no outro amplificador. Usamos o LM324 que consiste de 4 amplificadores operacionais no mesmo chip. Na Figura 7.3 podemos observar o esquemático do circuito.

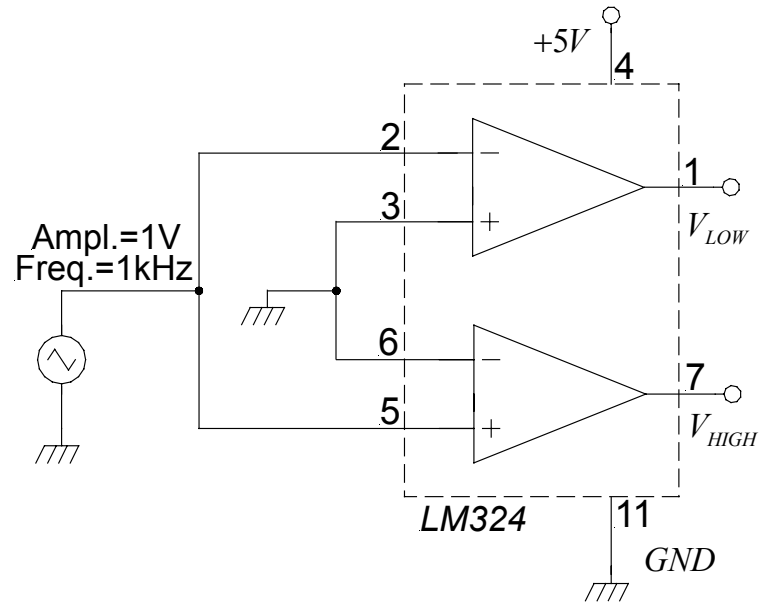


Figura 7.3 – Esquemático do circuito gerador de sinais de controle complementar

A Figura 7.4 mostra a fotografia da placa de circuito impresso com os respectivos circuitos SMD, os capacitores e sensor de umidade capacitivo conectados a placa.

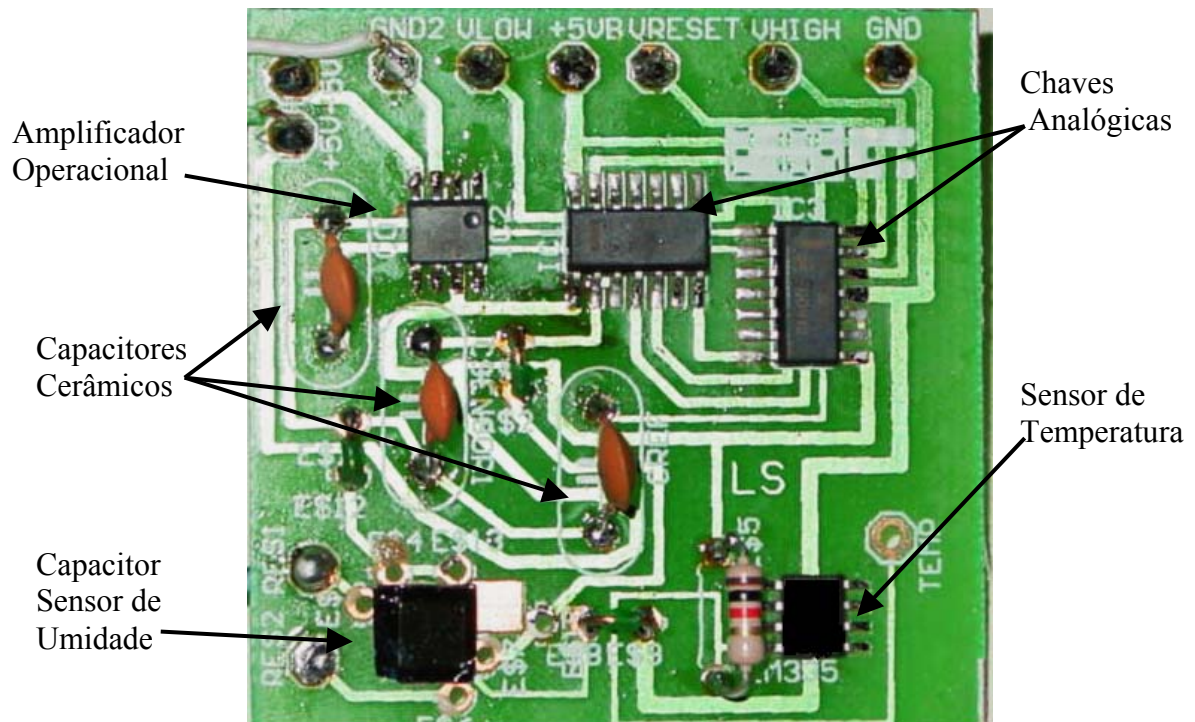


Figura 7.4 – Fotografia do sistema-sensor discreto

7.3 – Procedimento Experimental

A caracterização do sistema sensor foi realizada usando uma câmara climática (Thermotron) com umidade e temperatura controladas. O circuito foi alimentado por uma fonte de $-5V$, $+5V$ e GND (terra), e as chaves V_{LOW} , V_{HIGH} e V_{RESET} foram controladas pelo gerador de sinal antifase descrito anteriormente. Um osciloscópio foi utilizado para fazer a leitura da saída do circuito capacitor chaveado. Neste caso, medimos o valor máximo da forma de onda fornecida pelo circuito na saída V_{OUT} , conforme Figura 7.1.

As medidas foram feitas variando a umidade do ar, na câmara, para valores de 15%, 30%, 45%, 60% e 75% R_H com um intervalo de tempo de 30min entre um valor e outro e, a uma temperatura constante de 30°C. Em seguida, decrescemos estes valores com o mesmo intervalo de tempo. Na Tabela 7.1, apresentamos os valores obtidos no semi-ciclo de subida e na Tabela 7.2, apresentamos o valores obtidos no semi-ciclo de descida.

Tabela 7.1 – Valores medidos no semi-ciclo de subida

%R_H	15	30	45	60	75
Vout	1.287	1.358	1.412	1.572	1.840

Tabela 7.2 – Valores medidos no semi-ciclo de descida

%R_H	75	60	45	30	15
Vout	1.840	1.584	1.496	1.400	1.376

Após termos realizado as medidas com temperatura constante e umidade variável, fixamos a umidade relativa da câmara em 40% R_H e variamos a temperatura com o objetivo de obter a dependência do sistema sensor sobre a temperatura. Neste caso, variamos a temperatura em 30°, 60° e 75°C com intervalo de tempo de 30 min. entre uma temperatura e outra. Na Tabela 7.3 apresentamos os valores obtidos nesta medida.

Tabela 7.3 – Valores medidos em função da variação da temperatura com umidade constante a 40% R_H

Temp °C	30	60	75
Vout	1.394	1.552	1.708

7.4 – Discussões

7.4.1 – Sensibilidade

Na Figura 7.5 apresentamos um gráfico com o semi-ciclo de subida (resultado experimental), bem como a aproximação linear deste ciclo (representado por uma reta) e aproximação exponencial.

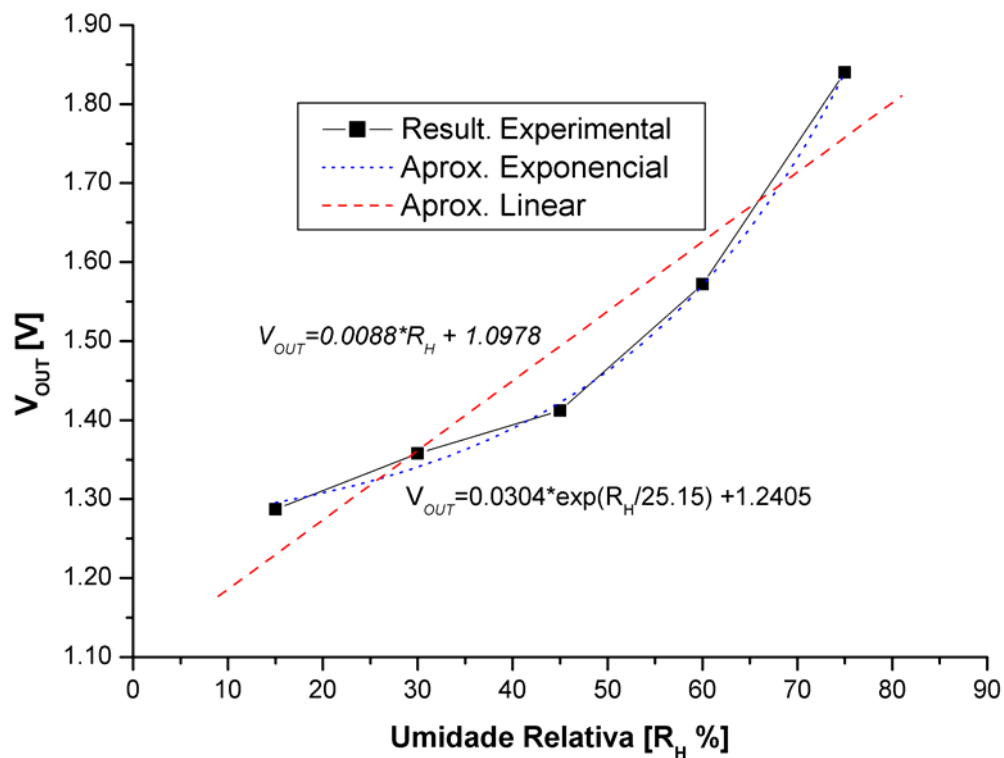


Figura 7.5 – Representação gráfica do semi-ciclo de subida, do sistema sensor, realizada a 30°C

Como podemos observar na Figura 7.5, o resultado experimental, do sistema-sensor, apresenta um comportamento não linear, podendo ser aproximado a uma resposta exponencial. A sensibilidade de um sensor representa a razão da variação da saída pela variação da variável de interesse. D'Amico *et al.* [59], publicou um estudo a respeito da sensibilidade em sistemas de sensores, onde concluiu que, para estes tipos de sistemas, a sensibilidade é obtida através da derivada da resposta não linear. Portanto, se derivarmos a aproximação exponencial, obteremos a

sensibilidade do sistema com valores entre 2.2 mV/ $R_H\%$ a 23.3 mV/ $R_H\%$, na faixa de 15% R_H a 75% R_H , conforme mostramos na Figura 7.6.

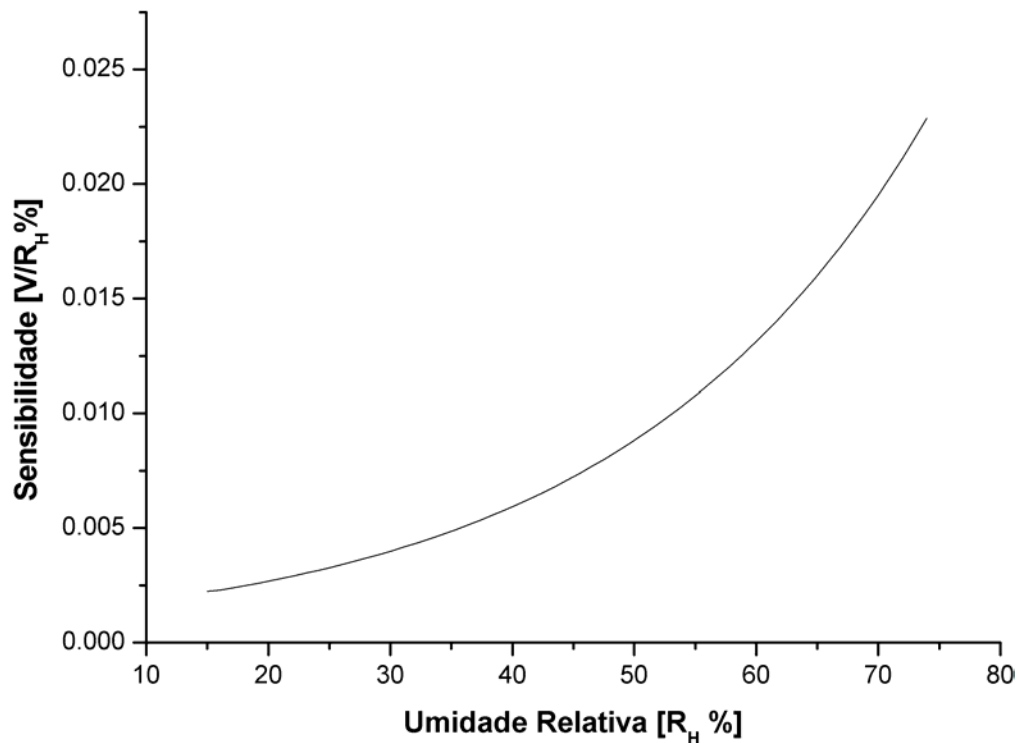


Figura 7.6 – Sensibilidade, do sistema sensor, realizada a 30°C

7.4.2 – Histerese

A histerese é a máxima diferença na saída, dentro de um range de medida, levando em consideração os dois caminhos determinados pelos ciclos de subida e de descida. Na Figura 7.8 podemos observar mais claramente este efeito. Neste caso, a histerese máxima é de 0.089V. Se considerarmos os valores apresentados em sensores umidade comerciais [42,45], podemos observar que a histerese apresentada neste caso é indesejada. A histerese nos sensores de umidade se deve ao acúmulo de vapor d'água ou a poeiras que aderem no filme ao longo do tempo. Para diminuir este efeito, o sensor de umidade é aquecido, permitindo a secagem do dielétrico. A este processo denomina-se como *função reset*.

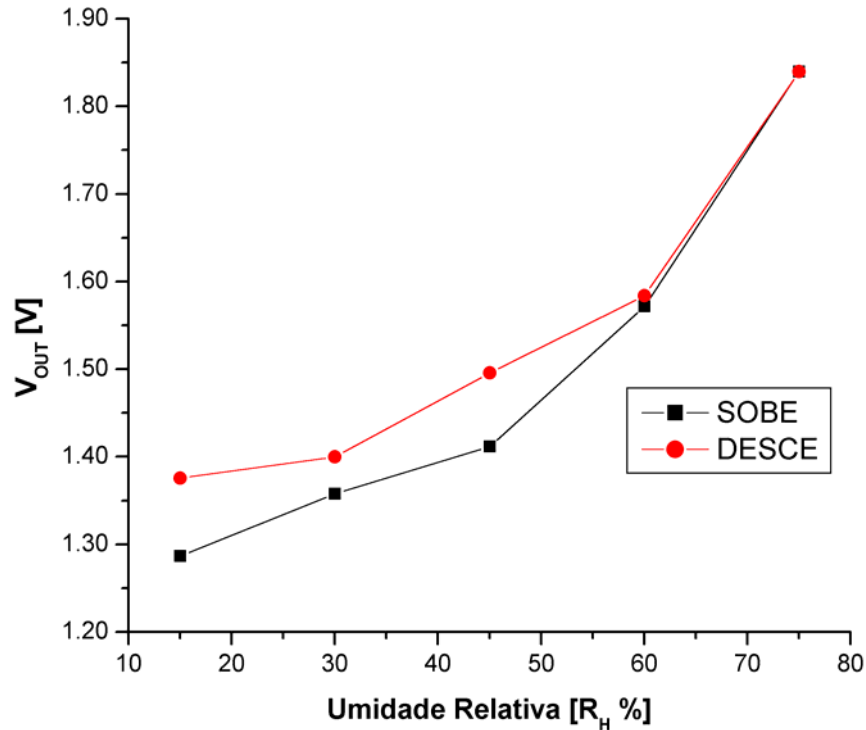


Figura 7.7 – Representação gráfica do efeito histerese do sistema sensor

7.4.3 – Resposta térmica

Através da Figura 7.9 podemos verificar a dependência do sensor com a temperatura representado pela curva de calibração e pela aproximação linear (representada pela reta). Através do coeficiente angular da reta obtemos uma variação de 6.7mV/ °C. Este resultado condiz com testes realizados por Connolly *et al* [15], onde ele verificou uma variação no valor da capacitância, dos sensores de umidade, em função da temperatura. É indiscutível a necessidade da correção do sinal de saída do sensor devido a sua resposta térmica. Por essa razão, inserimos um sensor de temperatura na placa de circuito impresso. A partir dos dados de caracterização, esta correção poderá ser realizada por software.

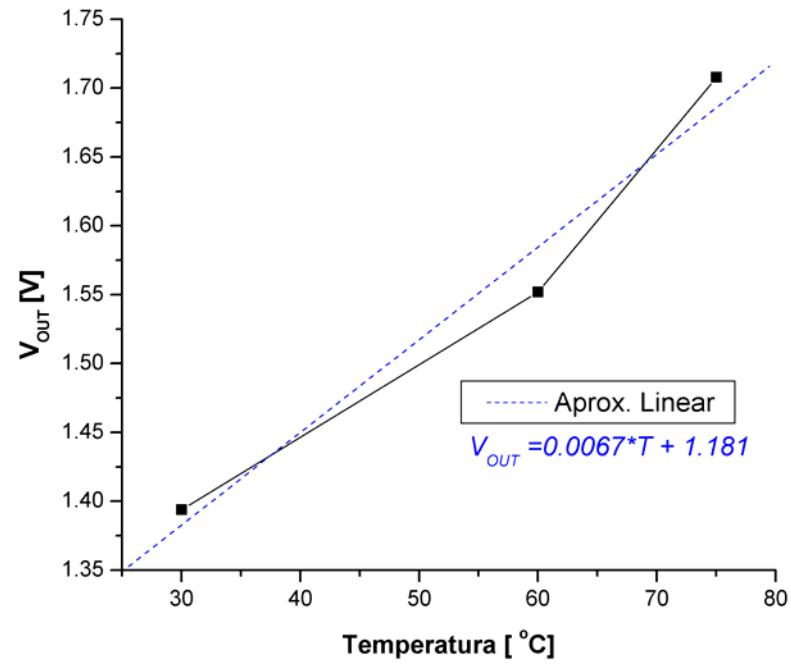


Figura 7.8 – Representação gráfica do efeito da temperatura realizada a 40% R_H

CAPÍTULO 8

CONCLUSÃO

Conforme apresentamos nos capítulos anteriores, atingimos os objetivos inicialmente propostos onde destacamos:

- ✓ Obtenção do filme fino de silício policristalino rugoso para ser usado como material higroscópico;
- ✓ Fabricação e caracterização do sensor de umidade capacitivo microeletrônico;
- ✓ Implementação de um circuito conversor.

A obtenção do filme fino de silício policristalino rugoso e o sensor de umidade microeletrônico fabricados no Centro de Componentes Semicondutores – CCS. Porém, o objetivo inicial de fabricar um circuito conversor microeletrônico, não foi alcançado devido a problemas ocasionados em etapas do processo de fotogração, fazendo com que o circuito conversor não ficasse pronto para ser testado experimentalmente. Devido a esse fato, optamos por desenvolver um circuito conversor com componentes discretos.

Comparando as medidas feitas por Microscopia de Força Atômica (AFM), encontrou-se o parâmetro de deposição do filme de silício policristalino para ser aplicado como material higroscópico. De onde, concluímos que a melhor opção para obter o filme rugoso é a deposição a temperatura de 810 °C e 1 torr de pressão.

No processo de fabricação do sensor, vale ressaltar a dificuldade que tivemos na etapa referente aos contatos de Al do eletrodo interdigitado. Nesta etapa, verificou-se que ao finalizar o processo de lift-off, os “dedos”, referente ao eletrodo interdigitado, estavam com suas formas não bem definidas ou sem continuidade (conforme mostramos na Fig. 4.30 e 4.31). Constatamos, após vários experimentos, que esse problema ocorria devido à rugosidade do filme que aderiu demasiadamente ao fotoresiste. Este problema limitou drasticamente a quantidade de sensores operacionais. A solução para este problema pode ser obtida através da inversão da máscara, ou seja, aplica-se primeiro o alumínio e depois a máscara. Infelizmente, devido há uma limitação de tempo, não chegamos a fabricar novos sensores nesta nova configuração.

Dados experimentais, provenientes dos testes executados no sistema sensor evidenciaram o funcionamento do dispositivo como sensor de umidade, na faixa de operação de $15\%R_H$ a $70\%R_H$, apresentando uma sensibilidade máxima de $23.3 \text{ mV}/R_H\%$, uma linearidade independente de $\pm 15\%$, histerese máxima de 0.089V e deriva térmica de $6.7\text{mV}/^\circ\text{C}$.

Em sequência aos trabalhos iniciados, concluiremos os testes dos sensores no conversor microeletrônico (quando este estiver pronto) e realizaremos alguns testes para diferentes rugosidades, afim de verificar a resposta do sensor em função da rugosidade do filme. Iniciaremos também, os estudos para a possibilidade de integrar, em um mesmo chip, o sensor de umidade, o sensor de temperatura e o conversor de sinais (*smart sensor*).

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] T. Seyama, N. Yamazoe, H. Arai, “Ceramic humidity sensor”, *Sensors and Actuators A* (1983) 85-96.
- [2] R. C. Anderson, R. S. Muller, C. W. Tobias, “ Investigations of porous silicon for vapour sensing”, *Sensors and Actuators A* (1990) 835-839.
- [3] Y. Sakai, Y. Sadaoka, M. Matsuguchi, “Humidity sensors based on polymer thin film”, *Sensors and Actuators B* (1996) 85-90.
- [4] G. Dougherty, T. Sands, “Microfabrication using one-step LPCVD porous polysilicon films”, *Journal Microelectromech. Systems*, Vol. 12 (2003) 418-424.
- [5] V. N. Pereira, “Evapo(transpi)ração”. Editora Villa Nova & Seiyama, (1997).
- [6] J. Hopkins, “The aims and methods of meteorological work by Cleveland abbe”, Ind: Maryland Weather Service, Baltimores, Vol. 1 (1899).
- [7] D. A. Mathwes, “Review of the Lithium Chloride radiosonde hygrometer”, *Proc. Of the Conference on Humidity and Moisture*, Vol. VI, Washington DC, (1963) 219-227.
- [8] D. U. Kim, M. S. Gong, “Thick films of copper-titanate resistive humidity sensor” *Sensors and Actuators B* (2005).
- [9] K. S. Chou, T. K. Lee, F. J. Liu, “Sensing mechanism of a porous ceramic as humidity sensor”, *Sensors and Actuators A*, (1999) 106-111.
- [10] B. Adhikari, S. Majumdar, “Polymers in sensor applications” *Prog. Polym. Sci.* 29 (2004) 699-766.
- [11] Y. Sakai, M. Matsuguchi, H. Makihata, “A new type LiCl dew point hygrometer probe fabricated with a composite of porous polymer and the salt”, *Proc. Transducers’99*, Sendai, Japan, pp. 1664-1667.
- [12] J. G. Korvink, L. Chandran, T. Boutshauser, H. Baltes, “Accurate 3D capacitance evaluation in integrated capacitive humidity sensor” *Sens. Mater.* 4 (6), (1993) 323-335.
- [13] R. K. Nahar, “Study of the performance degradation of thin film aluminium oxide sensor at high humidity”, *Sensors and Actuators B* (2000) 49-54.
- [14] U. Kang, K. D. Wise, “A robust high-speed capacitive humidity sensor integrated on a polysilicon heater”, *Proc. Transducers’99*, Sendai, Japan, pp. 1674-1677.

- [15] E. J. Connolly, G. M. Holloran, H. T. M. Pham, P. M. Sarro, P. J. French, "Comparison of porous silicon, porous polysilicon, and porous silicon carbide as materials for humidity sensing applications", *Sensors and Actuators A* 99, (2002) 25-30.
- [16] Z. M. Rittersma, W. Benecke, "A humidity sensor featuring a porous silicon capacitor with an integrated refresh resistor", *Sens. Mater.* 12 (1) (2000) 35-55.
- [17] M. Matsuguchi, Y. Sadaoka, Y. Sakai, T. Kuroiwa, A. Ito, "A capacitive-type humidity sensor using cross-linked poly(methyl methacrylate) thin films", *J. Electrochem. Soc.* 138 (1991) 1862-1865.
- [18] M. Matsuguchi, M. Shinmoto, Y. Sadaoka, T. Kuroiwa, Y. Sakai, "Effect of cross-linking degree of PVCA film on the characteristics of capacitive-type humidity sensor", *Sensors and Actuators B* 34 (1996) 349-355.
- [19] <http://www.digit-life.com/articles/peltiercoolers/>.
- [20] B. Sorli, F. P. Delannoy, A. Giani, A. Foucaran, A. Boyer, "Fast humidity sensor for high range 80-90% RH", *Sensors and Actuators A* 100 (2002) 24-31.
- [21] M. A. Zanjanchi, Sh. Sohrabnezhad, "Evaluation of methylene blue incorporated in zeolite for construction of an optical humidity sensor", *Sensors and Actuators B* 105 (2005) 502-507.
- [22] C. S. Lu, O. Lewis, "Investigation of film thickness determination by oscillating quartz resonators with large mass load", *J. Appl. Phys.* 43, (1972) 4383.
- [23] J. W. Gardner, V. K. Varadan, O. O. Awadelkarim, "Microsensors MEMS, and Smart Devices", Ed. John Wiley & Sons, (2002).
- [24] R. M. White, F. W. Voltmer, "Direct piezoelectric coupling to surface elastic waves", *Appl. Phys. Lett.*, 7 (1965) 314.
- [25] W. H. King, "Piezoelectric sorption detector", *Anal. Chem.* 36, (1964) 1735-1739.
- [26] W. Wohltjen, R. Dessy, "Surface acoustic wave probe for chemical analysis", *Anal. Chem.*, 51, (1979) 1458-1475.
- [27] M. Neshkova, R. Petrova, V. Petrov, "Piezoelectric quartz crystal humidity sensor using chemically modified nitrated polystyrene as water sorbing coating", *Anal. Chem. Acta*, 332, (1996) 93-103.
- [28] C. Bernou, D. Rebière, J. Pistré, "Microwave sensors: a new sensing principle. Application to humidity detection" *Sensors and Actuators B* 68 (2000) 88-93.
- [29] M. Penza, G. Cassano, "Relative humidity sensing by PVA-coated dual resonator SAW oscillator" *Sensors and Actuators B* 68 (2000) 300-306.

- [30] F. Faggin, T. Klain, “Silicon gate technology”, *Solid State Electron*, 13 (1970) 1125-114.
- [31] T. I. Kamins, “Polycrystalline Silicon for Integrated Circuit and Displays”, Kluwer Academic Publishers, 2ª edição, 1998.
- [32] M. W. Judy, R. T. Howe, “Polysilicon hollow beam lateral resonators”, in *Proc. IEEE Micro Electro Mech. System (MEMS)* (1993) 265-271.
- [33] R. C. Anderson, R. S. Muller, C. W. Tobias, “Porous Polucrystalline silicon: a new material MEMS”, *J. Microelectomech. Syst.*, vol. 3 (1994) 10-18.
- [34] W. H. Chu, M. Ferrari, “Silicon nanofilter with absolute pore size and high mechanical strtength”, in *Microrobot. Micromechan. Syst.*, vol. 2593 (1995) 9-20.
- [35] K. S. Leboutiz, R. T. Howe, A. P. Pisano, “Permeable polysilicon etch-access windows for microshell fabrication”, in *Proc. 8th Int. Conf. Solid-State Sensors and Actuators (Transducers '95)* (1995) 224-227.
- [36] G. M. Dougherty, A. P. Pisano, T. Sands, “Processing and morphology of permeable polycrystalline silicon thin films”, *J. Mater. Res.*, vol. 17 (2002) 2235-2242.
- [37] F. Hottier, R. Codoret, “In situ observation of polysilicon nucleation and growth”, 56 (1982) 304-312.
- [38] W. A. P. Claassen, J. Bloem, “The nucleation of CVD silicon on SiO₂ and SiN₄ substrate – I. The SiH₄ – HCl – H₂ system of high temperatures”, *J. Eletrochem, Soc.* 127 n° 1 (1980) 194-202.
- [39] W. A. P. Claassen, J. Bloem., W. G. J. N. Valkenburg, C. H. J. van den Brekel, “The Deposition of Silicon from Silane in a Low Pressure Hot-Wall System”, *J. Crystal Growth*, 57 (1982) 259-266.
- [40] R. C. Teixeira, “Implementação de um sistema LPCVD vertical para a obtenção de filmes finos de silício policristalino”, Tese de Mestrado, UNICAMP (2001).
- [41] R. C. Teixeira, I. Dói, J. A. Diniz, M. B. P. Zakia, J. W. Swart, “Influence of temperature on the deposition rate of polycrystalline silicon obtained by vertical LPCVD”, *Congresso Bras. de Aplicações de Vácuo na Indústria e na Ciencia*, Brasil (2003).
- [42] <http://sensirion.zynex.ch/images/getFile?id=25>.
- [43] <http://www.thermometrics.com>.
- [44] http://farnell.com/u_Index.apw
- [45] <http://catalog.sensing.honeywell.com>

- [46] K. Bratzler, "Adsorption von Gasen und Dampfem in Laboratorium und Technik", Theodor Steinkopf, (1944).
- [47] <http://www.smartec.nl/pdf/apphs1001.pdf>
- [48] K. M. Ibrahim , M. A. S. Jaafar, M. A. H. Abdul-Karim, "Fast Digital Frequency Meter", Int. J. Electronics, vol. 57, (1984) 557-561.
- [49] D. D. Denton, M. A. S. Jaafar, A. R. K. Ralston, "The long term reliability of a switched-capacitor relative humidity sensor system" IEEE J. Electronics, (1992) 1840-1843.
- [50] B. Song, H. Kim, Y. Choi, W. Kim, "A 50% power reduction scheme for CMOS relaxation oscillator", in Proc. IEEE Asia-Pacific Conf. ASIC, Seoul, Korea, (1999) 154-157.
- [51] A. D. DeHennis, K. D. Wise, "A wireless microsystem for the Remote Sensing of Pressure, Temperature and Relative Humidity", J. Microelectromech. Syst. Vol. 14 (2005) 12-22.
- [52] D. D. Denton, M. A. S. Jaafar, C. N. Ho, H. Sem-gang, "A comparison of dual-slope, switched-capacitor, and PWM solid state relative humidity sensor system", IEEE J. Electronics, (1990) 693-696.
- [53] Y. P. Tsividis, P. R. Gray, "An Integrated NMOS Operational Amplifier with Internal Compensation" J. Solid-State Circuits, vol.11, (1976) 748-753.
- [54] Y. P. Tsividis, P. R. Gray, "Design considerations in single-channel MOS. Analog integrated circuits – Tutorial" J. Solid-State Circuits, vol.11, (1976) 748-753.
- [55] I. A. Young, "A high Performance All Enhancement NMOS Operational Amplifier", J. Solid-State Circuits, vol.14, (1979) 1070-1077.
- [56] T. Enamoto, T. Ishihara, M. Yasumoto, T. Aizawa, "Design, fabrication and performance of scale analog IC's", J. Solid-State Circuits, vol.18, (1983) 395-402.
- [57] A. B. Grebene, "Bipolar and MOS analog integrated circuit design" Ed. John Wiley & Sons (1984).
- [58] R. Gregorian, "Introduction to CMOS op-amps and comparators" Ed. John Wiley & Sons, (1999).
- [59] A. D'Amico, C. Di Natale, "A contribution on some basic definitions of sensors properties", IEEE Sensors Journal, Vol. 1, (2001) 183-190.
- [60] <http://www.math.ist.utl.pt/~calves/cursos/mmq.htm>.

APÊNDICE A

Este algoritmo, implementado em SUPREM, simula a profundidade e a concentração de dopantes implantados na lâmina tipo p.

```
# FILE nccs8x20 09 - 04 - 2001
# * * Estrutura 8um x 20um NMOS transistor
# * * com oxidacao termica: etapa 3, 8 e 12.
# * * Processo nMOS - CCS Unicamp
# * * I/I do Boro (etapa 1b) : dose=3e13 energy=65

set echo
cpu log
option quiet

# * * * definicao horizontal
line x loc=0.00 spacing=0.1 tag=left
line x loc=1.50 spacing=0.1
#line x loc=3.00 spacing=0.06
#line x loc=3.20 spacing=0.06
#line x loc=3.50 spacing=0.25
line x loc=4.00 spacing=0.25
line x loc=6.00 spacing=0.25 tag=right

#the horizontal definition
line y loc=0.0 tag=top spacing=0.06
line y loc=0.4 spacing=0.06
line y loc=0.65 spacing=0.06
line y loc=0.90 spacing=0.1
#line y loc=1.4 spacing = 0.06
#line y loc=1.45 spacing = 0.10
line y loc=1.50 spacing = 0.25
line y loc=3.0 spacing = 0.25
line y loc=4.00 tag=bottom

# 1a * * lamina P - transistor NMOS

init silicon c.boron=2.3e14 orientation=100

# 3 * * recozimento da I/I do B e oxidacao umida (780 nm)

diffuse time=35 temp=1000 nitrogen
diffuse time=5 temp=1000 dry
diffuse time=180 temp=1000 wet
diffuse time=5 temp=1000 dry
diffuse time=10 temp=1000 nitrogen

# 4 * * fotografaçao 1/2o n 1 (fonte/dreno)
deposit photores thick=1.0
```

```

    etch photores right p1.x=4.0 p1.y=0.410 p2.x=3.90 p2.y=-1.50

# plot.2d bound fill y.max=2.0

#5 * * * remover o oxido na regio fonte/dreno
# * * * * aps fotogravaiç 1/2o n l
    etch oxide right p1.x=4.0 p1.y=0.400 p2.x=3.90 p2.y=-0.50

# plot.2d bound fill x.max=6.0 y.max=4.0


#6 * * photores etching (1.0 um)
    etch photores all
    # plot.2d bound fill x.max=6.0 y.max=4.0

implant phosphor dose=5e15 energy=65 rotation=0 crystal

    etch photores all
    etch oxide all

# 7 * * implantacao de fsforo na regio D/S
#
implant phosphor dose=1e13 energy=65 rotation=0 crystal


# 8 * * recozimento da I/I do P e oxidacao umida

diffuse time=30 temp=1000 nitrogen
diffuse time=120 temp=1000 dry
diffuse time=15 temp=1000 nitrogen

# * * save the data out=bi_.str
struct out=paulo1.str

end

```

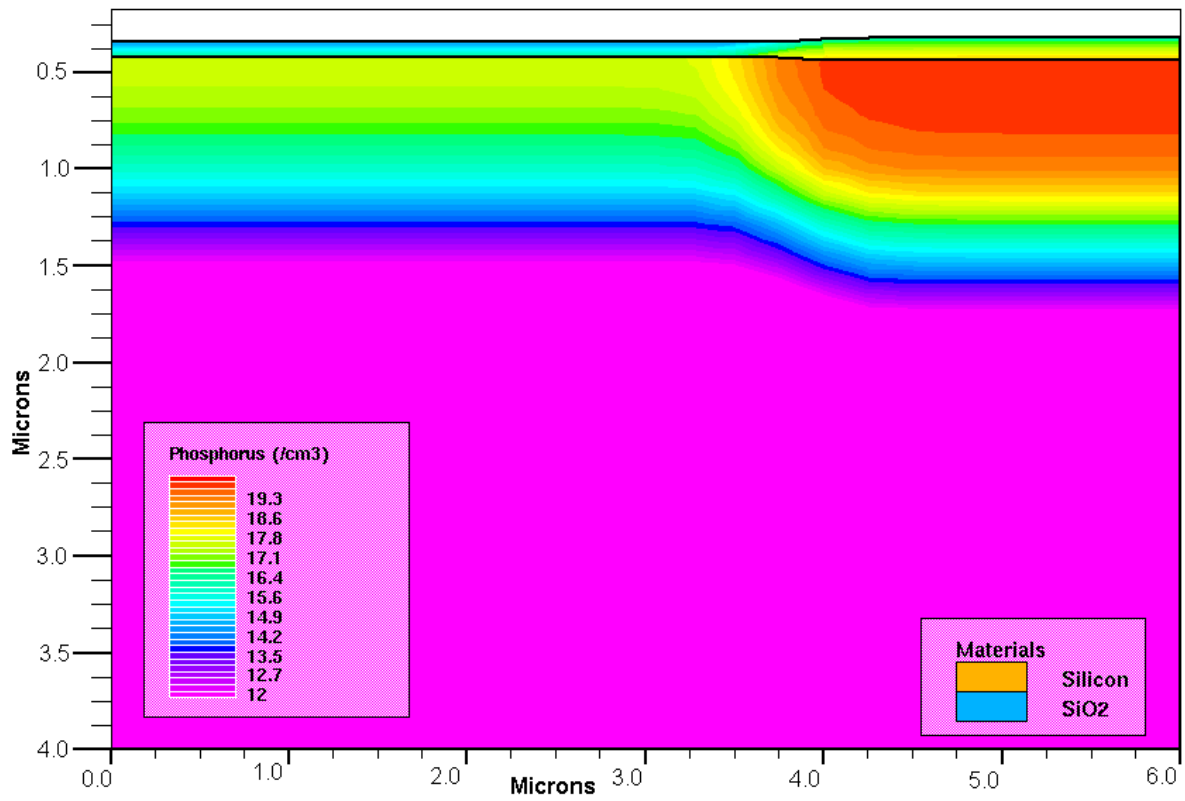


Figura A – Corte transversal representando a profundidade e a concentração do dopante implantado

APÊNDICE B

Parâmetros PSPICE utilizados para simular os circuitos amplificador operacional e conversor a capacitor chaveado.

```
.model nmose NMOS level=3  
L=8.0000e-6 W=10.000e-6 VTO=0.8 RSH=10.6 TOX=43.20e-9  
GAMMA=1.1484 UO=983  
CJ=4.2e-4 XJ=1.8e-6 LAMBDA=19.8e-3 IS=1e-9 NSUB=1.8e16 NSS=3e10  
NFS=3e10  
THETA=0.131 LD=1.32e-6 TPG=0 VDD=5 ETA=0.42 TEMP=27
```

APÊNDICE C

Regras de projeto Processo CCS -ED01(nMOS, E/D)

1. Níveis de máscaras:

Difusão de D/S	N04
Oxidação de gate	N01
I/I de depleção	N03
Abertura de vias	N09
Metalização	N05

2. Regras:

R1: Dimensão mínima para qualquer nível: $5\mu\text{m}$. Tamanho mínimo de abertura de contato (nível N09): $8\mu\text{m}$.

R2: Separação mínima entre N04 e N09: $2\mu\text{m}$

R3: Separação mínima entre regiões de difusão $5\mu\text{m}$ (recomendado no mínimo $8\mu\text{m}$ entre transistores distintos)

R4: Superposição mínima de N01 e N04: $2\mu\text{m}$

R5: Distância mínima de N04 além de N01, no sentido de W do canal: $2\mu\text{m}$

R6: Distância mínima de N01 e N09: $2\mu\text{m}$ (Vide conceito no desenho.)

R7: Distância mínima entre N09 e N05: $2\mu\text{m}$

R8: Distância mínima entre metalizações (N05): $8\mu\text{m}$

R9: Área mínima de “pad”: 80×80

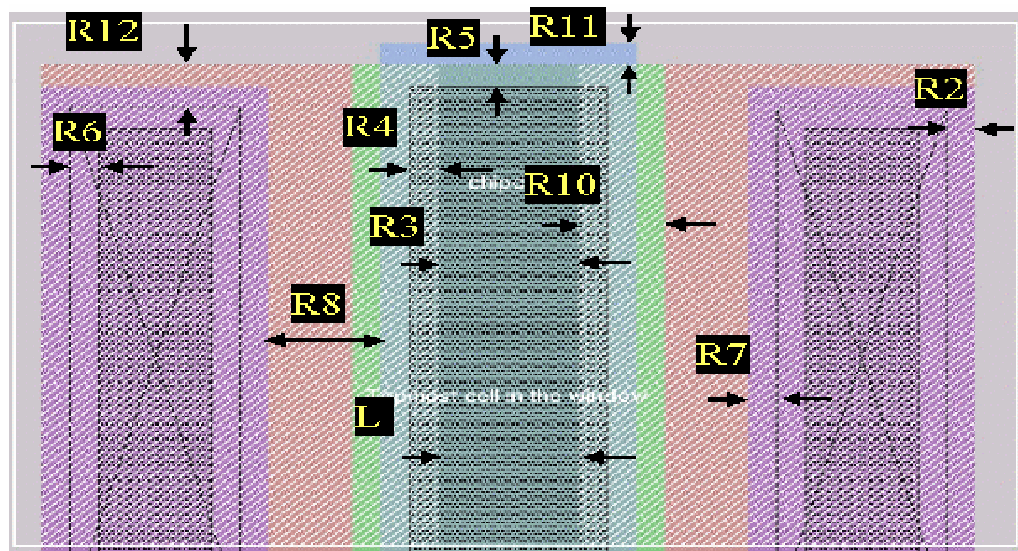
R10: Distância mínima de superposição entre N04 e N03, no sentido de L do canal: $6\mu\text{m}$

R11: Distância mínima de N05 além de N04 no sentido de W do canal: $2\mu\text{m}$

R12: (desconsiderar por hora)





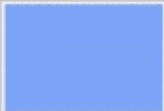
R13: Densidade de corrente máxima permitida em N05 = $1,0 \text{ mA}/\mu\text{m}$

R14: Distância mínima de separação entre “pad's” de $70 \mu\text{m}$



OBS: A área hachureada corresponde ao nível N04 (difusão de D/S), de cor vermelha e que foi mascarada por outras “layers” em alguns pontos.

Descrição dos Níveis de Máscaras

	1º Nível - Difusão de Dreno / Fonte
	2º Nível - Abertura de Porta
	3º Nível - Difusão de Depleção / Bipolar
	4º Nível - Abertura de Vias
	5º Nível - Metalização